



CJC8991

便携式音频应用立体声 CODEC

Edition	Author	Date	Description
V1.0	By ZYX	2022.06.21	

描述

CJC8991 是一种低功耗，高质量的编解码器，专为便携式数字音频应用而设计。

该设备将完整的接口集成到一个立体声耳机或线路输出端口。由于不需要单独的耳机放大器，因此大大降低了对外部组件的要求。先进的片上数字信号处理为麦克风或线路输入执行音频均衡器、三维声音增强和自动音量控制。

CJC8991 可以作为主机或从机运行，具有各种主时钟频率，包括 USB 设备的 12 或 24MHz，或标准 256fs 速率如 12.288MHz 和 24.576MHz。不同的音频采样率，如 96kHz, 48kHz, 44.1kHz 直接从主时钟产生，而不需要外部锁相环。

CJC8991 可以在电源电压降至 1.8V 的情况下工作，数字运算单元可以在低至 1.5V 的电压下工作以节省功耗，所有电源的最大电压为 3.3V。芯片的不同部分也可以在软件控制下单独断电。CJC8991 采用非常小巧的 4x4mm COL 封装，非常适合在手持设备和便携式系统中使用。

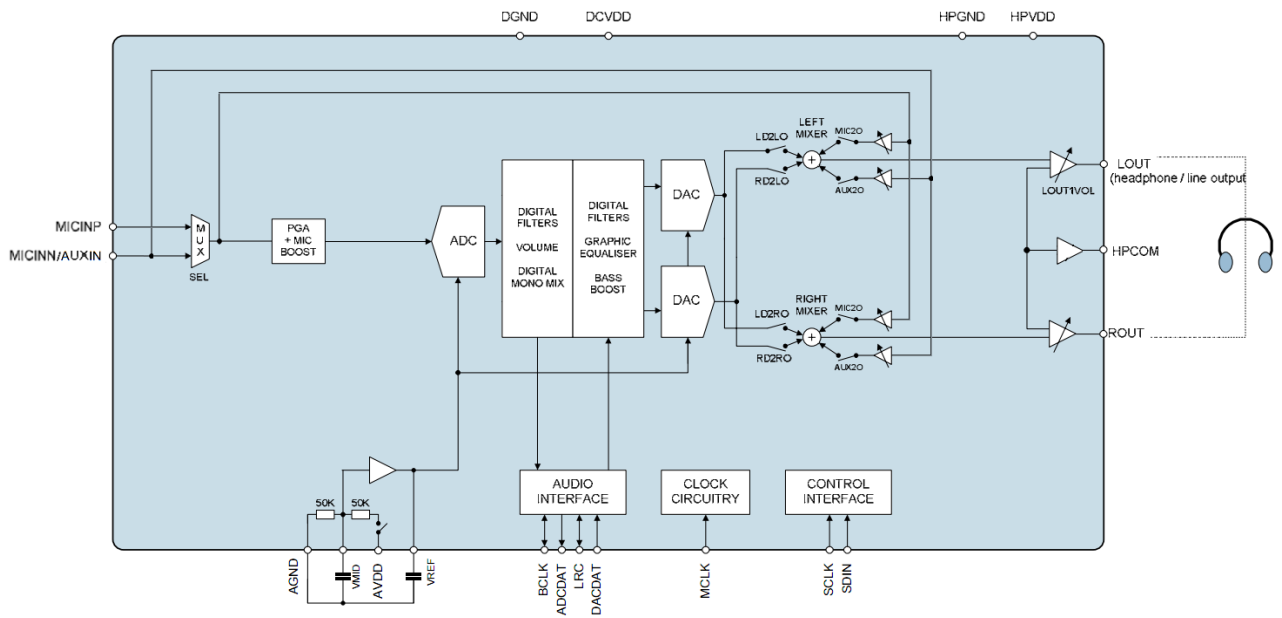
特性

- DAC SNR 95dB ('A' weighted), THD -85.2dB at 48kHz, 1.8V
- ADC SNR 97.7dB ('A' weighted), THD -87dB at 48kHz, 1.8V
- Programmable ALC / Noise Gate
- 2x On-chip Headphone Drivers
 - THD -84.5dB , SNR 94dB with 16Ω Headphone at 48KHz, 1.8V
- Digital Graphic Equaliser
- Low Power
 - 7mW stereo playback (1.8V supplies)
 - 13mW record and playback (1.8V supplies)
- Low Supply Voltages
 - Analogue 1.8V to 3.3V
 - Digital core: 1.5V to 3.3V
 - Digital I/O: 1.8V to 3.3V
- 256fs / 384fs or USB master clock rates: 12MHz, 24MHz
- Audio sample rates: 8, 11.025, 16, 22.05, 24, 32, 44.1, 48,
- 88.2, 96kHz generated internally from master clock
- 4x4mm COL package

应用

- 便携式多媒体播放器
- 多媒体手机
- 掌上游戏

框图

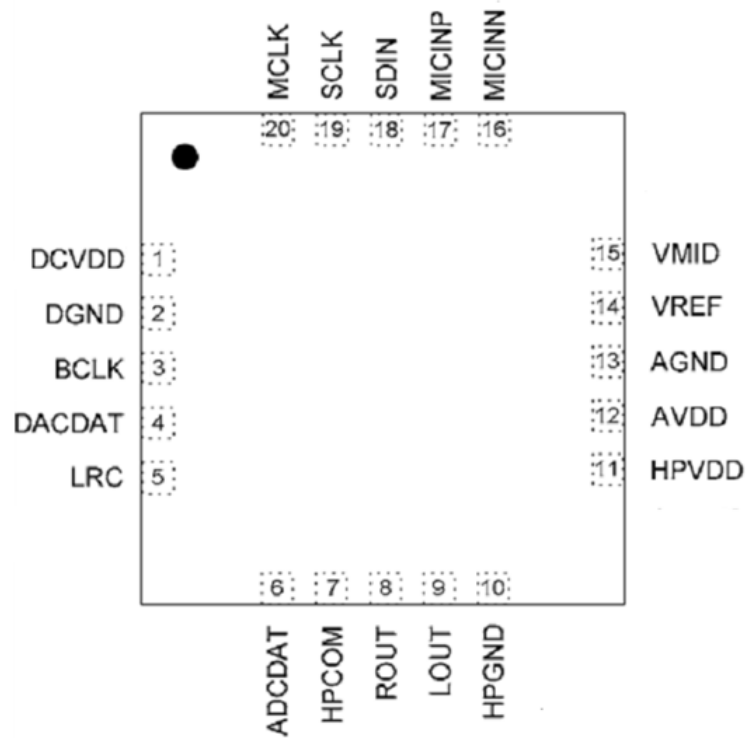


目录

描述	2
特性	2
应用	3
目录	4
引脚配置和设备标记	6
引脚描述	7
极限参数	8
推荐工作电压	8
电气特性	9
正常模式	9
HPCOM 模式	11
功耗	13
信号的时序要求	14
系统时钟时序	14
音频接口时序-主模式	15
音频接口时序-从模式	16
控制接口时序-2-WIRE 模式	17
内部通电复位电路	18
概述	19
产品介绍	19
输入信号路径	19
MIC 信号输入	20
DMIC 信号输入	21
PGA 控制	21
模拟-数字转换器(ADC)	22
ADC 数字滤波器	22
数字 ADC 音量控制	23
自动电平控制(ALC)	24
峰值限幅	26
噪声门限	26
三维立体增强	27
输出信号路径	28
数字 DAC 音量控制	29
声音均衡	29
数字-模拟转换器 (DAC)	31
输出混频	32
模拟输出	33
LOUT 使能公共接地 (HPCOM)	34
输出使能	35
过热关机	35
数字音频接口	36

主从模式操作	37
音频数据格式	37
音频接口控制	40
音频接口输出三态	41
主模式 LRC 使能	41
位时钟模式	42
时钟和采样频率	43
控制接口	45
电源供应	46
电源管理	47
关闭主时钟	48
通过减少偏置电流来节省电能	48
通过降低过采样率来节省电能	49
在更高的电源电压下节省功耗	49
设备关闭模式	49
寄存器列表	50
数字滤波器的特点	52
DAC 滤波器响应	53
三维立体增强	55
低音增强功能	57
三倍的过滤特性	61
应用信息	62
推荐应用电路	62
线路输入配置	62
耳机输出配置	63
线路输出配置	64
减少模拟输出的噪声	64
电源管理实例	65
封装尺寸	65

引脚配置和设备标记



引脚描述

PIN NO	NAME	TYPE	DESCRIPTION
1	DCVDD	Supply	Digital Core Supply AND I/O Supply
2	DGND	Supply	Digital Ground (return path for both DCVDD and DBVDD)
3	BCLK	Digital Input / Output	Audio Interface Bit Clock
4	DACDAT	Digital Input	DAC Digital Audio Data
5	LRC	Digital Input / Output	Audio Interface Left / Right Clock
6	ADCDAT	Digital Output	ADC Digital Audio Data
7	HPCOM	Analogue Input	LOUT and ROUT common mode output
8	ROUT	Analogue Output	Right Output (Line or Headphone)
9	LOUT	Analogue Output	Left Output (Line or Headphone)
10	HPGND	Supply	Supply for Analogue Output Drivers (LOUT1/2, ROUT1/2)
11	HPVDD	Supply	Supply for Analogue Output Drivers (LOUT1/2, ROUT1/2, MONOUT)
12	AVDD	Supply	Analogue Supply
13	AGND	Supply	Analogue Ground (return path for AVDD)
14	VREF	Analogue Output	Reference Voltage Decoupling Capacitor
15	VMID	Analogue Output	Midrail Voltage Decoupling Capacitor
16	MICINN	Analogue Input	MIC INPUT N
17	MICINP/ DMIC_SDA	Analogue Input	MIC INPUTP/DMIC SDA INPUT
18	SDIN	Digital Input / Output	Control Interface Data Input / 2-wire Acknowledge output
19	SCLK	Digital Input	Control Interface Clock Input
20	MCLK	Digital Input	Master Clock

极限参数

极限参数仅为极限压力下的额定值。在这些限制下或超出这些限制持续运行可能会对设备造成永久性的损坏。在规定的实验条件下，根据电气特性给出了设备的运行极限和保证设备性能的使用规范。



防静电敏感设备。该器件是基于 CMOS 工艺制造的。因此，过度的静态电压通常会造成损害。操作设备时，应遵循防静电注意事项。

中芯半导体根据 IPC/JEDEC J-STD-020B 测试其封装类型的湿度敏感性，以确定在组装之前的表面可接受条件。级别如下：

MSL1 = unlimited floor life at <math> < 30 \text{ }^\circ\text{C} / 85\% \text{ Relative Humidity}</math>. Not normally stored in moisture barrier bag.

MSL2 = out of bag storage for 1 year at <math> < 30 \text{ }^\circ\text{C} / 60\% \text{ Relative Humidity}</math>. Supplied in moisture barrier bag.

MSL3 =out of bag storage for 168 hours at <math> < 30 \text{ }^\circ\text{C} / 60\% \text{ Relative Humidity}</math>. Supplied in moisture barrier bag.

每种包装类型的湿度敏感性等级在订购信息中指定。

CONDITION	MIN	MAX
Supply voltages	-0.3V	+3.6V
Voltage range digital inputs	DGND -0.3V	DCVDD +0.3V
Voltage range analogue inputs	AGND -0.3V	AVDD +0.3V
Operating temperature range, TA	-25°C	+85°C
Storage temperature after soldering	-65°C	+150°C

Notes:

1. 模拟地和数字地之间的差值必须始终在 0.3V 以内。
2. 所有数字和模拟电源都是完全独立的。
3. DCVDD 等于 DBVDD

推荐工作电压

PARAMETER	SYMBOL	MIN	TYP	MAX	UNIT
Digital supply range (Core/Buffer)	DCVDD	1.8		3.3	V
Analogue supplies range	AVDD, HPVDD	1.8		3.3	V
Ground	DGND,AGND, HPGND		0		V

电气特性

正常模式

Test Conditions

DCVDD = AVDD = HPVDD = 1.8V , TA = +25°C, 1kHz signal, fs = 48kHz, PGA gain = 0dB, 24-bit audio data unless otherwise stated.

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Analogue Inputs (LINPUT1, RINPUT1, LINPUT2, RINPUT2) to ADC out						
Full Scale Input Signal Level (for ADC 0dB Input at 0dB Gain)	VINFS	AVDD = 2.4V	0.690	0.727	0.763	Vrms
		AVDD = 1.8V	0.480	0.545	0.610	
Input Resistance	MIC	MIC to ADC, PGA gain = 0dB	16	22		kΩ
		MIC to ADC, PGA gain = +30dB	1.5	2.8		
Input Capacitance				10		pF
Signal to Noise Ratio (A-weighted)	SNR	AVDD = 2.4V		94		dB
		AVDD = 1.8V		92		
Total Harmonic Distortion + Noise	THD+N	-6dB _r input, AVDD = 2.4V		-86		dB
		-2dB _r input, AVDD = 1.8V		-82		
Analogue Outputs (LOUT1/2, ROUT1/2)						
0dB Full scale output voltage	VOUTFS	AVDD = 2.4V	0.690	0.727	0.763	Vrms
		AVDD = 1.8V	0.507	0.545	0.583	
Signal to Noise Ratio (A-weighted)	SNR	AVDD = 2.4V		96		dB
		AVDD = 1.8V		93		
Total Harmonic Distortion + Noise	THD+N	-0dB _r input, AVDD = 2.4V		80		dB
		-4dB _r input, AVDD = 2.4V		87		
		-0dB _r input, AVDD = 1.8V		80		
		-6dB _r input, AVDD = 1.8V		84		

Test Conditions

DCVDD = AVDD = HPVDD = 1.8V , TA = +25 °C, 1kHz signal, fs = 48kHz, PGA gain = 0dB, 24-bit audio data unless otherwise stated.

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Headphone Output (LOUT1/ROUT1, LOUT2/ROUT2 AC coupled to load)						
Total Harmonic Distortion + Noise	THD+N	HPVDD=2.4V, RL=16 Ω PO=5mW HPCOM=LCOM=1		84		dB
		HPVDD=1.8V, RL=16 Ω PO=5mW HPCOM=LCOM=0		84		dB
Signal to Noise Ratio (A-weighted)	SNR	HPVDD=2.4V, HPCOM=LCOM=1		94		dB
		HPVDD=1.8V, HPCOM=LCOM=0		91		dB
Analogue Reference Levels						
Midrail Reference Voltage	VMID		-3%	AVDD/2	+3%	V
Buffered Reference Voltage	VREF		-3%	AVDD/2	+3%	V
Digital Input / Output						
Input HIGH Level	VIH		0.7×DB VDD			V
Input LOW Level	VIL				0.3×DCVDD	V
Output HIGH Level	VOH	IOH = +1mA	0.9×DB VDD			V
Output LOW Level	VOL	IOL = -1mA			0.1×DCVDD	V

Test Conditions

DCVDD = AVDD = HPVDD = 1.8V , TA = +25°C , 1kHz signal, fs = 48kHz, PGA gain = 0dB, 24-bit audio data unless otherwise stated.

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
DAC to Line-Out (L/ROUT1 or L/ROUT2 with 10kΩ load)						
Signal to Noise Ratio (A-weighted)	SNR	AVDD = 2.4V HPCOM=LCOM=1		93		dB
		AVDD=1.8V HPCOM=LCOM=0		91		
Total Harmonic Distortion + Noise	THD+N	AVDD = 2.4V HPCOM=LCOM=1		76		dB
		AVDD=1.8V HPCOM=LCOM=0		81		
Channel Separation		min		101		dB
		1kHz signal		111		

HPCOM 模式

Test Conditions

DCVDD = AVDD = HPVDD = 1.8V , TA = +25°C , 1kHz signal, fs = 48kHz, PGA gain = 0dB, 24-bit audio data unless otherwise stated.

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Analogue Inputs (LINPUT1, RINPUT1, LINPUT2, RINPUT2) to ADC out						
Full Scale Input Signal Level (for ADC 0dB Input at 0dB Gain)	VINFS	AVDD = 2.4V	0.690	0.727	0.763	Vrms
		AVDD = 1.8V	0.480	0.545	0.610	
Input Resistance	MIC	MIC to ADC, PGA gain = 0dB	16	22		kΩ
		MIC to ADC, PGA gain = +30dB	1.5	2.8		
Input Capacitance				10		pF
Signal to Noise Ratio (A-weighted)	SNR	AVDD = 2.4V		97		dB
		AVDD = 1.8V		94		
Total Harmonic Distortion + Noise	THD+N	-6dB _r input, AVDD = 2.4V		-86		dB
		-2dB _r input, AVDD = 1.8V		-82		
Analogue Outputs (LOUT1/2, ROUT1/2)						
0dB Full scale output voltage	VOUTFS	AVDD = 2.4V	0.690	0.727	0.763	Vrms
		AVDD = 1.8V	0.507	0.545	0.583	
Signal to Noise Ratio	SNR	AVDD = 2.4V		92		dB



(A-weighted)		RL=16 Ω PO=5mW HPCOM=LCOM=1				
		AVDD = 1.8V RL=16 Ω PO=5mW HPCOM=LCOM=1		91		
Total Harmonic Distortion + Noise	THD+N	-1dBr input, AVDD = 2.4V RL=16 Ω PO=5mW HPCOM=LCOM=1		76		dB
		-2dBr input, AVDD = 1.8V RL=16 Ω PO=5mW HPCOM=LCOM=1		72		

Test Conditions

DCVDD = AVDD = HPVDD =1.8V , TA = +25 °C, 1kHz signal, fs = 48kHz, PGA gain = 0dB, 24-bit audio data unless otherwise stated.

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Headphone Output (LOUT1/ROUT1, LOUT2/ROUT2 AC coupled to load)						
Total Harmonic Distortion + Noise	THD+N	HPVDD=2.4V, RL=16 Ω PO=5mW HPCOM=LCOM=1		81		dB
		HPVDD=1.8V, RL=16 Ω PO=5mW HPCOM=LCOM=0		81		dB
Signal to Noise Ratio (A-weighted)	SNR	HPVDD=2.4V, HPCOM=LCOM=1		92		dB
		HPVDD=1.8V, HPCOM=LCOM=0 DACMIXBIAS=0		92		dB
Analogue Reference Levels						
Midrail Reference Voltage	VMID		-3%	AVDD/2	+3%	V
Buffered Reference Voltage	VREF		-3%	AVDD/2	+3%	V
Digital Input / Output						
Input HIGH Level	VIH		0.7×DB VDD			V

Input LOW Level	VIL				0.3×DCVDD	V
Output HIGH Level	VOH	IOH = +1mA	0.9×DB VDD			V
Output LOW Level	VOL	IOL = -1mA			0.1×DCVDD	V

功耗

CJC8991 的功耗取决于以下几个因素：

- 电源电压：降低电源电压也会降低电源电流，因此可以显著节省电源，特别是在 CJC8991 的数字部分。
- 操作模式：通过禁用 CJC8991 不使用的部分(例如 MIC 前置放大器，无用的输出，DAC, ADC 等)，可以显著减少功耗。

AVDD=HPVDD=DCVDD =1.8V AIN=NONE DIN=NONE						
MODE		DCVDD	AVD D	HPV DD	SUM	UNIT
NORMAL	ADC	0.713	2.65	0	3.36	mA
	DAC LINEOUT	1.447	2.34	0.197	3.98	
	DAC HEADPHONE(16Ω)	1.36	2.34	0.215	3.92	
	BYPASS	0.294	1.92	0.328	2.54	
	POWER DOWN	0.9	0.1	0.1	1.1	uA
HPCOM	ADC	0.73	2.66	0.036	3.43	mA
	DAC HEADPHONE(16Ω)	1.044	2.36	4.48	7.88	
	DAC HEADPHONE(32Ω)	1.044	2.36	4.46	7.86	
	BYPASS(16Ω)	0.289	1.85	4.58	6.72	
	BYPASS(32Ω)	0.289	1.85	4.57	6.71	
	POWER DOWN	0.9	0.1	0.1	1.1	uA

Notes:

1. 所有数据都属基于 TA= +25 °C，从机模式，fs = 48kHz，MCLK = 12.288 MHz (256fs)。
2. 上表中不包含耳机中的功耗。

信号的时序要求

系统时钟时序

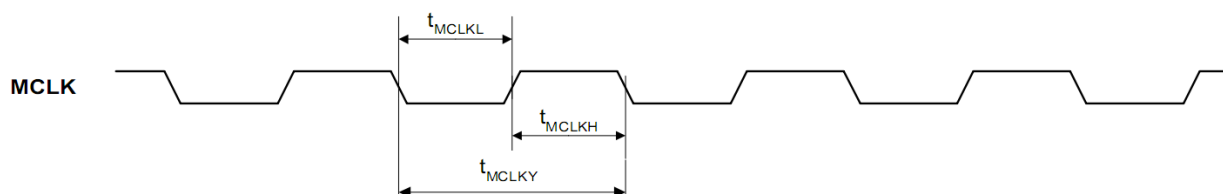


Figure 1 System Clock Timing Requirements

Test Conditions

CLKDIV2=0, DCVDD = 1.8V, DGND = 0V, TA = +25°C, Slave Mode fs = 48kHz, MCLK = 384fs, 24-bit data, unless otherwise stated.

PARAMETER	SYMBOL	MIN	TYP	MAX	UNIT
System Clock Timing Information					
MCLK System clock pulse width high	TMCLKL	21			ns
MCLK System clock pulse width low	TMCLKH	21			ns
MCLK System clock cycle time	TMCLKY	54			ns
MCLK duty cycle	TMCLKDS	60:40		40:60	ns

Test Conditions

CLKDIV2=1, DCVDD = 1.8V, DGND = 0V, TA = +25 C, Slave Mode fs = 48kHz, MCLK = 384fs, 24-bit data, unless otherwise stated.

PARAMETER	SYMBOL	MIN	TYP	MAX	UNIT
System Clock Timing Information					
MCLK System clock pulse width high	TMCLKL	10			ns
MCLK System clock pulse width low	TMCLKH	10			ns
MCLK System clock cycle time	TMCLKY	27			ns

音频接口时序-主模式

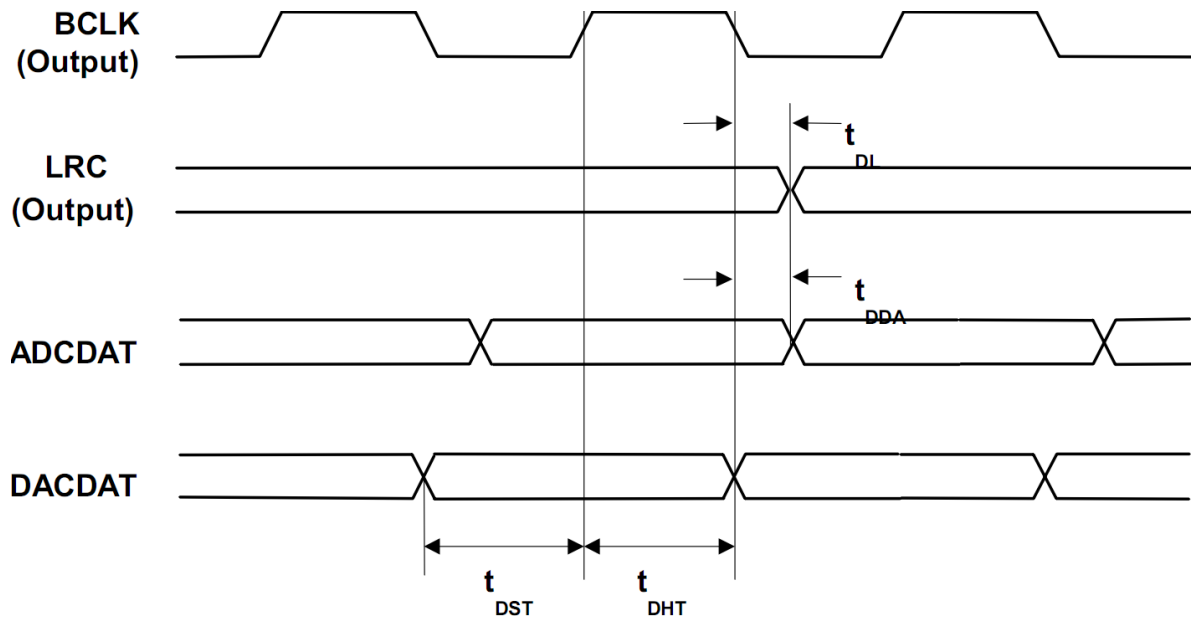


Figure 2 Digital Audio Data Timing – Master Mode

Test Conditions

DCVDD = 1.8V, DGND = 0V, TA = +25 C, Slave Mode, fs = 48kHz, MCLK = 256fs, 24-bit data, unless otherwise stated.

PARAMETER	SYMBOL	MIN	TYP	MAX	UNIT
Bit Clock Timing Information					
BCLK rise time (10pF load)	tBCLKR			3	ns
BCLK fall time (10pF load)	tBCLKF			3	ns
BCLK duty cycle (normal mode, BCLK = MCLK/n)	tBCLKDS		50:50		
BCLK duty cycle (USB mode, BCLK = MCLK)	tBCLKDS		Tmclkds		
Audio Data Input Timing Information					
DACLRC propagation delay from BCLK falling edge	tDL			10	ns
ADCDAT propagation delay from BCLK falling edge	tDDA			10	ns
DACDAT setup time to BCLK rising edge	tDST	10			ns
DACDAT hold time from BCLK rising edge	tDHT	10			ns

音频接口时序-从模式

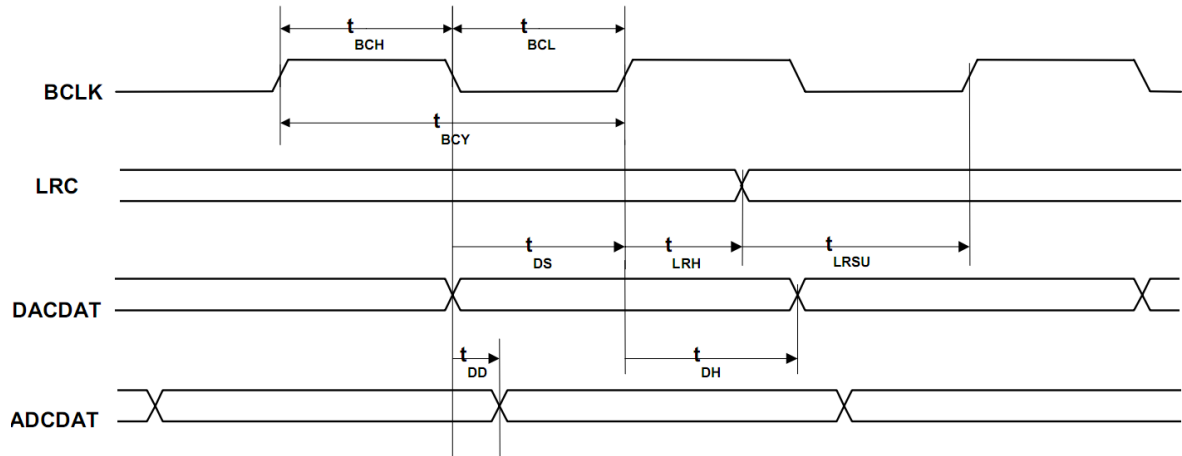


Figure 3 Digital Audio Data Timing – Slave Mode

Test Conditions

DCVDD = 1.8V, DGND = 0V, TA = +25 C, Slave Mode, fs = 48kHz, MCLK = 256fs, 24-bit data, unless otherwise stated.

PARAMETER	SYMBOL	MIN	TYP	MAX	UNIT
Audio Data Input Timing Information					
BCLK cycle time	tBCY	50			ns
BCLK pulse width high	tBCH	20			ns
BCLK pulse width low	tBCL	20			ns
DACLRC set-up time to BCLK rising edge	tLRSU	10			ns
DACLRC hold time from BCLK rising edge	tLRH	10			ns
DACDAT hold time from BCLK rising edge	tDH	10			ns
ADCDAT propagation delay from BCLK falling edge	tDD			10	ns

Note:

BCLK 周期应该总是大于或等于 MCLK 周期。

控制接口时序-2-WIRE 模式

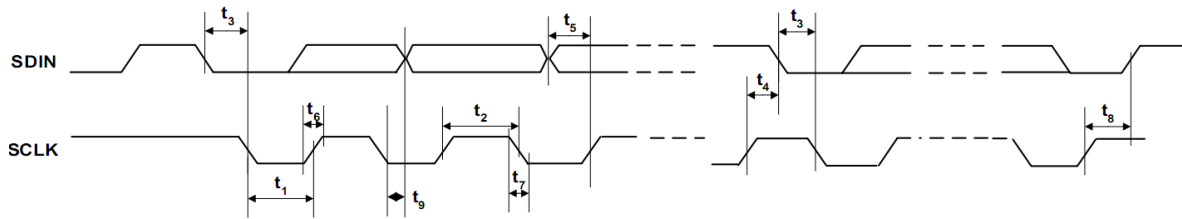


Figure 5 Control Interface Timing – 2-Wire Serial Control Mode

Test Conditions

DCVDD = 1.8V, DGND = 0V, TA = +25 C, Slave Mode, fs = 48kHz, MCLK = 256fs, 24-bit data, unless otherwise stated.

PARAMETER	SYMBOL	MIN	TYP	MAX	UNIT
Program Register Input Information					
SCLK Frequency		0		526	KHZ
SCLK Low Pulse-Width	t1	1.3			us
SCLK High Pulse-Width	t2	600			ns
Hold Time (Start Condition)	t3	600			ns
Setup Time (Start Condition)	t4	600			ns
Data Setup Time	t5	100			ns
SDIN, SCLK Rise Time	t6			300	ns
SDIN, SCLK Fall Time	t7			300	ns
Setup Time (Stop Condition)	t8	600			ns
Data Hold Time	t9			900	ns
Pulse width of spikes that will be suppressed	tps	0		5	ns

内部通电复位电路

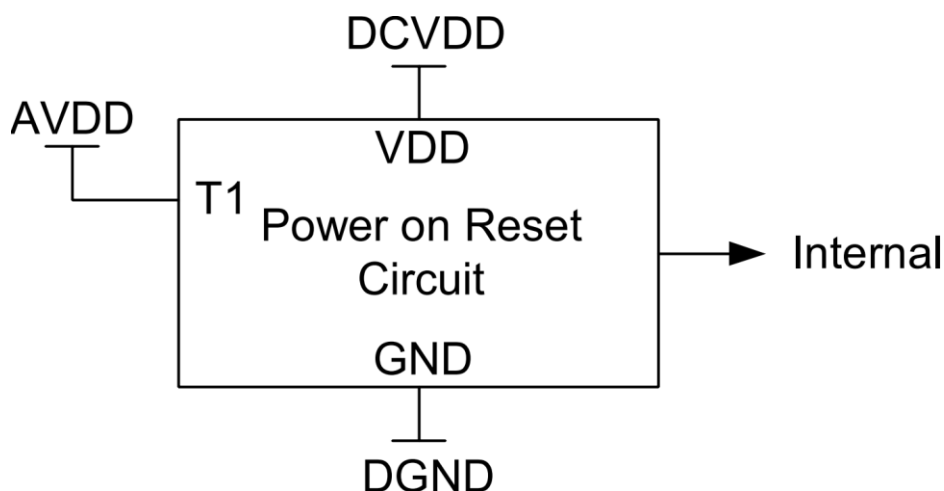


Figure 6 Internal Power on Reset Circuit Schematic

CJC8991 包括一个内部上电复位电路，如图 6 所示，用于上电后将数字逻辑复位为默认状态。复位电路由 DCVDD 供电，监控 DCVDD 和 AVDD。

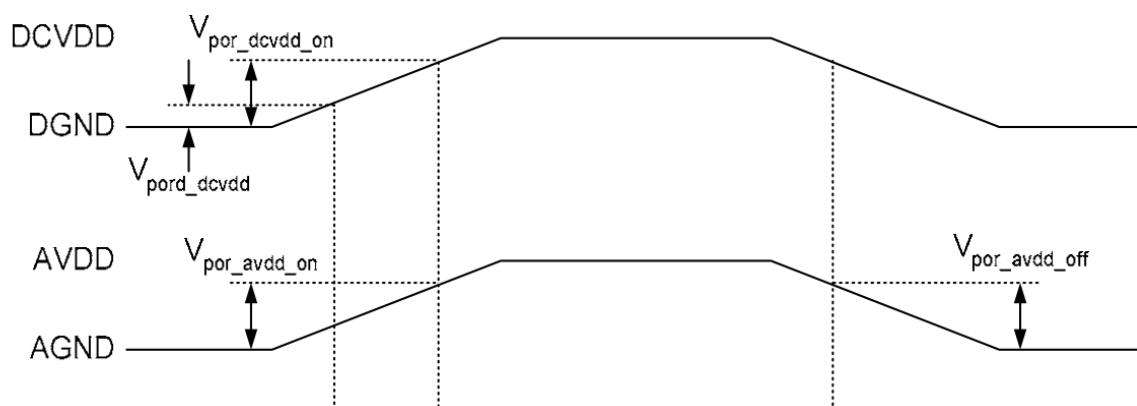


Figure 7 Typical Power-Up Sequence

图 7 显示了一个典型的上电顺序。当 DCVDD 和 AVDD 上升到 V_{por_dcavdd} 和 V_{por_avdd} 的最小阈值以上时，有足够的电压保证电路上电低复位，芯片保持复位。在这种情况下，对控制接口的所有写操作都被忽略。

SYMBOL	MIN	TYP	MAX	UNIT
V_{por_dcavdd}	0.4	0.6	0.8	V
$V_{por_dcavdd_on}$	0.9	1.26	1.6	V
$V_{por_avdd_on}$	0.5	0.7	0.9	V
$V_{por_avdd_off}$	0.4	0.6	0.8	V

Table 3 Typical POR Operation (typical values, not tested)

概述

产品介绍

CJC8991 是一种低功耗音频编解码器，具备高质量的音频处理能力和先进的功能，同时具有功耗低和体积小的优势。这些特点使其成为便携式数字音频应用如 MP3 和迷你磁盘播放器/录音机的理想选择。采用立体声 24 位多比特 delta sigma ADC 和 DAC，并带有过采样数字插值和抽取滤波器。

该设备包括两个作为 MIC 输入的模拟输入，即 MICIP 和 MICIN。当麦克风电话是单端模式时，我们可以使用 MICIP 作为输入 PIN。如果麦克风电话是差分的，那么应该使用 MICIP 和 MICIN 作为输入 PIN。带有自动电平控制(ALC)的可编程增益放大器可以保持记录音量的恒定。片上立体声 ADC 和 DAC 采用多比特低阶过采样架构，具有高质量，以低功耗提供最佳性能。

DAC 输出信号首先进入模拟混频器，模拟输入和 post-ALC 信号也会被添加到该混频器。此混音可在线和耳机输出。

CJC8991 具有可配置的数字音频接口，可在其中读取 ADC 数据，并将数字音频播放数据馈入 DAC。它支持多种音频数据格式，包括 I2S, DSP Mode (a burst mode in which frame sync plus 2 data packed words are transmitted), MSB-First, left justified。同时它也可以在主机模式或从机模式下操作。

CJC8991 使用一种独特的时钟方案，可以从 12.00MHz USB 时钟或行业标准 256/384 fs 时钟生成许多常用的音频采样率。在主时钟不是采样率整数倍的应用中，该特性消除了对外部锁相环(PLL)的常见需求。可以生成 8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHz、88.2kHz 和 96kHz 的采样率。

用于录音和回放的数字滤波器针对所使用的每个采样率进行了优化。

CJC8991 的设计在不影响性能的前提下，更加注重功耗。它在非常低的电压下工作，包括在软件控制下关机部分电路的能力，包括待机和关机模式。

输入信号路径

输入信号路径包括一个 MIC 信号输入和一个 DMIC 信号输入，二者通过 DMIC_EN (R24)寄存器位进行选择。随后进入 PGA(可编程增益放大器)和一个可选的麦克风增益 boost。PGA 的增益可以由用户控制，也可以由片上 ALC 功能控制(参见自动电平控制)。然后信号进入 ADC 进行数字化处理。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
------------------	-----	-------	---------	-------------

R24 (18h) Input Options	4	DMIC_EN	0	DMIC input and MIC input options 0: MIC input 1: DMIC input
----------------------------	---	---------	---	---

MIC 信号输入

CJC8991 有两个高阻抗、低电容交流耦合模拟输入，即 MICIP / MICIN。通过启用或禁用麦克风增益放大器，可以将输入配置为麦克风或线路电平。

控制位 MIC_DIF_EN(见表 4)用于在单端输入 (MICINP) 和差分输入 (MICIP-MICIN) 之间独立选择。选择单端输入 (MICINP) 还是差分输入(MICINP-MICINN)是由 MIC_DIF_EN 来决定的。

CJC8991 可以通过将差分信号输入到 MICIP/MICIN 或单端信号输入到 MICIP 来设置其信号输入的模式。例如，通过将 MIC_DIF_EN 设置为高电平，差分信号(MICIP-MICIN)进入 PGA 路径。

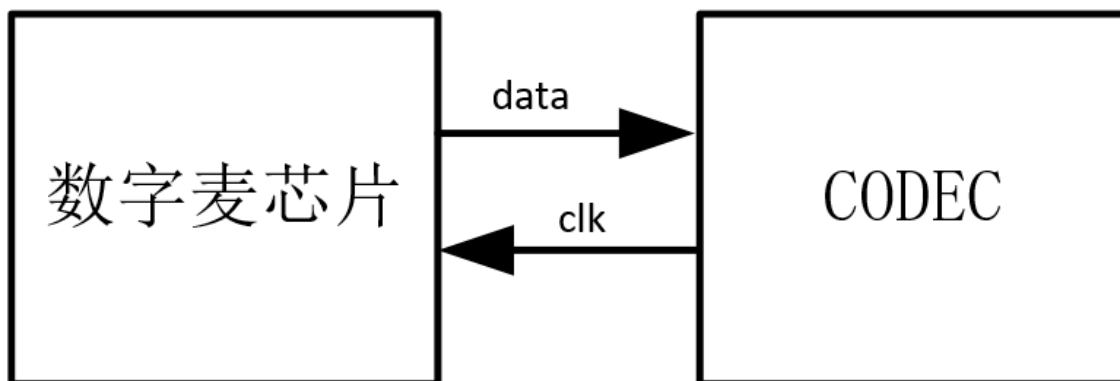
信号输入在内部偏置至参考电压 VREF。每当线路输入被静音或设备进入待机模式时，使用特殊的抗冲击电路将输入保持偏置到 VREF。这样可以减少在改变输入时可能听到的任何咔哒声。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R32 (20h) ADC Signal Path Control	8	MIC_DIF_EN	0	0: MICINP single-ended input into ADC 1: MICINP and MICINN differential input into ADC
	5:4	MIC BOOST	00	Microphone Gain Boost 00 = Boost off (bypassed) 01 = 13dB boost 10 = 20dB boost 11 = 29dB boost

Table 4 MIC input control and gain adjust

DMIC 信号输入

数字麦生成的数字信号可以直接进入到 ADC 的滤波器中，进行后续的信号处理。根据数字麦的信号输入特点，CODEC 给数字麦芯片一个数据采样时钟，数字麦芯片会返回一个数字信号给 CODEC。



PGA 控制

PGA 将输入信号电平与 ADC 的输入范围相匹配。PGA 增益以 0.75dB 的步长从+30dB 对数可调至 -17.25dB。每个 PGA 可由用户或 ALC 功能控制(参见自动电平控制)。当一个或两个通道启用 ALC 时，写入相应的 PGA 控制寄存器无效。

增益可在左右线输入端独立调节。此外，通过控制寄存器位 LIVU 和 RIVU，可以同时更新左右增益设置。设置 LZCEN 和 RZCEN 位可以启用零交叉检测器，确保 PGA 增益变化只发生在信号为零时，从而消除任何拉链噪声。如果启用零交叉检测器，但是零交叉没有发生，还可以使用超时来更新增益。可以通过在寄存器 R23 (17h)中的 TOEN 来启用此功能。

输入也可以在软件控制下在模拟域中静音。软件控制寄存器如表 9 所示。如果零点交叉是启用的，则需要启用过零超时以取消 PGA 的静音。这是因为在静音时，它们的输出不会超过零。或者，可以在发送取消静音命令之前禁用零交叉。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R0 (00h) Channel PGA	8	LIVU	0	Volume Update 0 = Store LINVOL in intermediate latch (no gain change) 1 = Update left and right channel gains (left = LINVOL, right = intermediate latch)
	7	LINMUTE	1	Channel Input Analogue Mute 1 = Enable Mute 0 = Disable Mute

				Note: LIVU must be set to un-mute.
	6	LZCEN	0	Channel Zero Cross Detector 1 = Change gain on zero cross only 0 = Change gain immediately
	5:0	LINVOL [5:0]	010111 (0dB)	Channel Input Volume Control 111111 = +30dB 111110 = +29.25dB . . . 0.75dB steps down to 000000 = -17.25dB
R23 (17h) Additional Control (1)	0	TOEN	0	Timeout Enable 0 : Timeout Disabled 1 : Timeout Enabled

Table 9 Input PGA Software Control

模拟-数字转换器(ADC)

CJC8991 对每个通道使用多位过采样的 sigma-delta ADC。多位反馈和高过采样率的使用降低了抖动和噪声的影响。ADC 满标度输入电平与 AVDD 成比例。当电源电压为 1.8V 时，满标度电平为 1.0 伏特。任何大于满标度的电压都可能使 ADC 过载并引起失真。

ADC 数字滤波器

ADC 滤波器执行真正的 24 位信号处理，将来自 ADC 的原始多位过采样数据转换为正确的采样频率，输出到数字音频接口上。数字滤波器路径如图 8 所示。

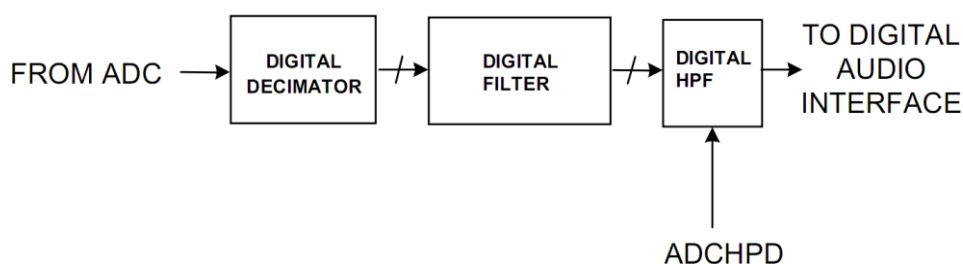


Figure 8 ADC Digital Filter

ADC 数字滤波器包含一个数字高通滤波器，可通过软件控制选择。高通滤波器的响应在数字滤波特性部分做了详细说明。当高通滤波器启用时，连续计算直流偏移并从输入信号中减去。通过设置 HPOR，当高通滤波器禁用时，最后计算的直流偏移值被存储，并将继续从输入信号中减去该值。如果直流偏移量改变，除非启用高通滤波器，否则存储和减去的值不会改变。此功能可用于校准目的。此外，可以在左、右通道分别启用高通滤波器(见表 11)。

用户可以对输出数据格式进行编程，以便在两个输入上都能进行立体声或单声道录音。输出信号的极性也可以在软件控制下改变。软件控制如表 10 所示。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R5 (05h) ADC and DAC Control	5	ADCPOL	00	0 = Polarity not inverted 1 = Polarity invert
	4	HPOR	0	Store dc offset when high-pass filter disabled 1 = store offset 0 = clear offset
	0	ADCHPD	0	ADCHPD determine high-pass filter behaviour 1 = HPF on 0 = HPF off

Table 10 ADC Signal Path Control

数字 ADC 音量控制

ADC 的输出可以在 - 97dB 到+30dB 的范围内以 0.5dB 的步长进行数字放大或衰减。每个通道的音量可以单独控制。给定八位代码 X 的增益由以下公式得出：

$$0.5 \times (X-195) \text{ dB for } 1 \leq X \leq 255; \text{ MUTE for } X = 0$$

LAVU 和 RAVU 控制位控制数字音量控制数据的加载。当 LAVU 或 RAVU 设置为 0 时，LADCVOL 或 RADCVOL 控制数据将加载到相应的控制寄存器中，但不会实际更改数字增益设置。当 LAVU 或 RAVU 设置为 1 时，左右增益设置都会更新。这使得可以同时更新两个通道的增益。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R21 (15h) ADC Digital Volume	7:0	LADCVOL [7:0]	11000011 (0dB)	Left ADC Digital Volume Control 0000 0000 = Digital Mute 0000 0001 = -97dB 0000 0010 = -96.5dB ... 0.5dB steps up to 1111 1111 = +30dB
	8	LAVU	0	Left ADC Volume Update 0 = Store LADCVOL in intermediate latch (no gain change) 1 = Update left and right channel gains (left = LADCVOL, right = intermediate latch)
R22 (16h) Right ADC Digital Volume	7:0			
	8			

Table 12 ADC Digital Volume Control

自动电平控制(ALC)

CJC8991 具有自动电平控制，目的在于保持恒定的记录音量，而不考虑输入信号电平。这是通过连续调整 PGA 增益来实现的，以便 ADC 输入端的信号电平保持不变。数字峰值检测器监测 ADC 输出，并在必要时更改 PGA 增益。请注意，启用 ALC 功能时，寄存器 0 和 1(LINVOL、LIVU、LIZC、LINMUTE、RINVOL、RIVU、RIZC 和 RINMUTE) 的设置将被忽略。

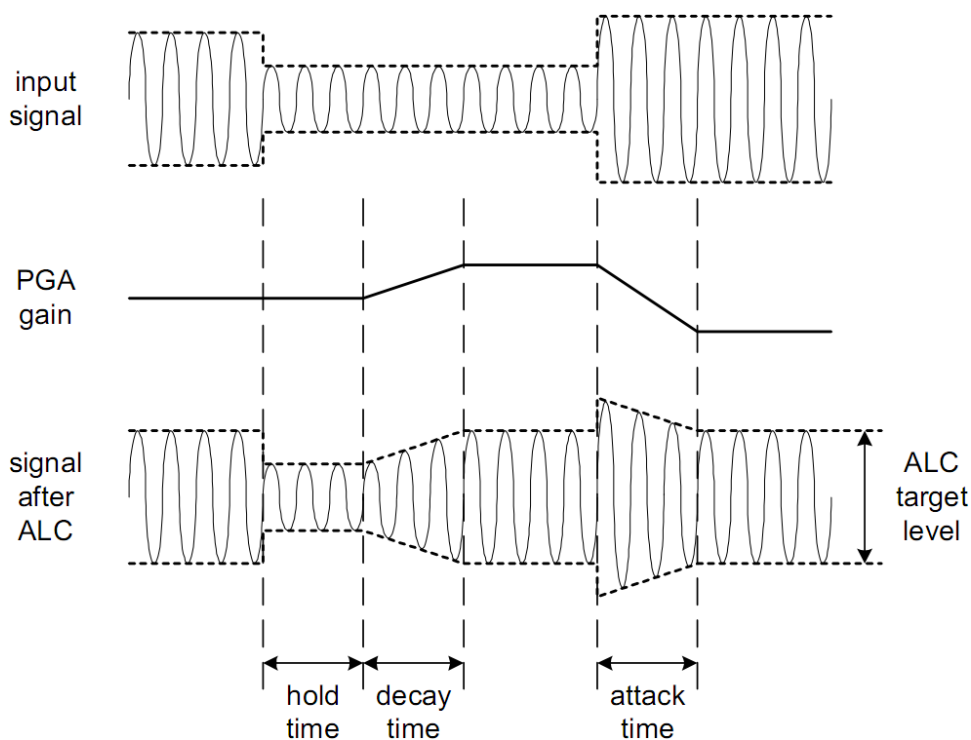


Figure 9 ALC Operation

ALC 功能使用 ALCSEL 控制位启用。启用时，可以使用 ALCL 寄存器位在 -6dB 和 -28.5dB （相对于 ADC 满标度）之间编程记录音量。可通过设置 MAXGAIN 控制位来设定 PGA 增益的上限。

HLD、DCY 和 ATK 分别控制保持时间、衰减时间和抑制时间：

Hold time 是检测到的峰值电平低于目标和 PGA 增益开始上升之间的时间延迟。可按 2 次幂(2^n)步编程，如 2.67ms 、 5.33ms 、 10.67ms 等，最长可达 43.7s 。或者，保持时间也可以设置为零。保持时间只适用于增益上升，当信号电平高于目标时，在增益下降之前没有延迟。

Decay (Gain Ramp-Up) Time 是 PGA 增益在 90%范围内上升所需要的时间(例如，从 -15B 到 27.75dB)。因此，记录电平恢复到其目标值所需的时间取决于衰减时间和所需的增益调整。如果增益

调节很小，它会比衰减时间短。衰减时间可以按 power-of-two 步编程，从 24ms、48ms、96ms...到 24.58s。

Attack (Gain Ramp-Down) Time 是 PGA 增益在 90%范围内下降所需要的时间(例如，从 27.75dB 下降到-15B 增益)。因此，记录电平恢复到其目标值所需的时间取决于抑制时间和所需的增益调整。如果增益调整小，则会比抑制时间短。抑制时间可以按 power-of-two 步编程，从 6ms、12ms、24ms...到 6.14s。

在立体声模式下工作时，峰值检测器将取左声道和右声道峰值的最大值，并将任何新的增益设置应用于左声道和右声道 PGA，以便保留立体声图像。但是，ALC 功能也只能在一个通道上启用。在这种情况下，只有一个 PGA 由 ALC 机制控制，而另一个通道独立运行，其 PGA 增益通过控制寄存器设置。

当一个 ADC 通道未使用或用于直流测量时，峰值检测器会忽略该通道。当两个 ADC 输出在数字域中混合为单声道时，ALC 功能也可以运行，但如果它们在进入 ADC 之前在模拟域中混合为单声道，则 ALC 功能不能运行。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R17 (11h) ALC Control 1	8	ALCSEL	0 (OFF)	ALC function select 0 = ALC off (PGA gain set by register) 1 = Left channel only Note: ensure that LINVOL and RINVOL settings (reg. 0) is the same before entering this mode.
	6:4	MAXGAIN [2:0]	111 (+30dB)	Set Maximum Gain of PGA 111 : +30dB 110 : +24dB ...(-6dB steps) 001 : -6dB 000 : -12dB
	3:0	ALCL [3:0]	1011 (-12dB)	ALC target – sets signal level at ADC Input 0000 = -28.5dB FS 0001 = -27.0dB FS ... (1.5dB steps) 1110 = -7.5dB FS 1111 = -6dB FS
R18 (12h) ALC Control 2	7	ALCZC	0 (zero cross off)	ALC uses zero cross detection circuit.
	3:0	HLD [3:0]	0000 (0ms)	ALC hold time before gain is increased. 0000 = 0ms 0001 = 2.67ms 0010 = 5.33ms

				... (time doubles with every step) 1111 = 43.7s
R19 (13h) ALC Control 3	7:4	DCY [3:0]	0011 (192ms)	ALC decay (gain ramp-up) time 0000 = 24ms 0001 = 48ms 0010 = 96ms ... (time doubles with every step) 1010 or higher = 24.58s
	3:0	ATK [3:0]	0010 (24ms)	ALC attack (gain ramp-down) time 0000 = 6ms 0001 = 12ms 0010 = 24ms ... (time doubles with every step) 1010 or higher = 6.14s

Table 13 ALC Control

峰值限幅

为了防止在安静一段时间后出现大信号时出现限幅，自动高度控制电路包括限制器功能。如果 ADC 输入信号超过满标度的 87.5% (-1.16dB)，PGA 增益将以最大抑制率（如 ATK=0000 时）下降，直到信号电平低于满标度的 87.5%。每当 ALC 启用时，此功能将自动启用。

Note:

如果 ATK=0000，则限制器对自动高度控制的操作没有影响。它的设计目的是在使用长抑制时间时防止截断。

噪声门限

当信号非常安静且主要由噪声组成时，ALC 功能可能会导致“noise pumping”，即在静音期间发出很大的嘶嘶声。CJC8991 具有噪声门限功能，通过比较 LINPUT1/2 和/或 RINPUT1/2 引脚的信号电平与噪声门阈值（波长）来防止噪声泵送。噪声门在以下情况下接通：

- Signal level at ADC [dB] < NGTH [dB] + PGA gain [dB] + Mic Boost gain [dB]

这相当于：

- Signal level at input pin [dB] < NGTH [dB]

然后，ADC 输出可以被静音，或者 PGA 增益可以保持不变（防止其在信号安静时像正常情况那样上升）。

下表总结了噪声门控制寄存器。NGTH 控制位设置关于 ADC 满标度范围的噪声门限阈值。阈值以 1.5dB 的步长进行调整。处于范围极限的数据可能会导致出现潜在的问题，因此应小心设置。请注意，噪声门限仅与 ALC 功能启用时工作，并且始终与 ALC 处于相同的信道（左、右、两者或无）。

REGISTER	BIT	LABEL	DEFAULT	DESCRIPTION
----------	-----	-------	---------	-------------

ADDRESS				
R20 (14h) Noise Gate Control	7:3	NGTH [4:0]	00000	Noise gate threshold 13 -76.5dBfs 13 -75dBfs ... 1.5 dB steps 11110 -31.5dBfs 11111 -30dBfs
	2:1	NGG [1:0]	00	Noise gate type X0 = PGA gain held constant 01 = mute ADC output 11 = reserved (do not use this setting)
	0	NGAT	0	Noise gate function enable 1 = enable 0 = disable

Table 14 Noise Gate Control

Note:如果在启用 MIC boost 和 ALC 的情况下选择监视器旁路复用器，则 ADC 的性能可能会在高输入信号电平下下降。

三维立体增强

CJC8991 具有数字 3D 增强选项，可人为增加左右声道之间的间隔。此效果可用于录制或播放，但不能同时用于两者。记录或回放的 3D 选择由寄存器位模式 3D 控制。

重要部分:

只有在禁用 ADC 和 DAC 时，才能将 3D 过滤器从记录切换到回放或从回放切换到记录。CJC8991 控制接口仅允许在禁用 ADC 和 DAC 时更改 MODE3D（即寄存器 26/1Ah 中的位 ADCL、ADCR、DACL 和 DACR 均为零）。

3D 增强功能由 3DEN 位激活，并具有两个可编程参数。3DDEPTH 设置控制立体声扩展的程度。此外，可以使用 3DVC 和 3DLC 控制位为 3D 处理选择四个滤波器特性之一。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R16 (10h) 3D enhance	6	3DUC	0	Upper Cut-off frequency 0 = High (2.2kHz at 48kHz sampling) 1 = Low (1.5kHz at 48kHz sampling)
	5	3DLC	0	Lower Cut-off frequency 0 = Low (200Hz at 48kHz sampling) 1 = High (500Hz at 48kHz sampling)
	4:1	3DDEPTH [3:0]	0000	Stereo depth 0000: 0% (minimum 3D effect) 0001: 6.67%

				1110: 93.3% 1111: 100% (maximum 3D effect)
	0	3DEN	0	3D function enable 1: enabled 0: disabled

Table 15 3D Stereo Enhancement Function

启用 3D 增强功能（和/或用于播放的音频均衡器）时，可能需要将信号衰减 6dB 以避免限制。这是一个用户可选择的功能，通过将 ADCDIV2 设置为记录路径，将 DACDIV2 设置为播放路径来启用。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R5 (05h) ADC and DAC control	8	ADCIV2	0	ADC 6dB attenuate enable 0 = disabled (0dB) 1 = -6dB enabled
	7	DACIV2	0	DAC 6dB attenuate enable 0 = disabled (0dB) 1 = -6dB enabled

Table 16 ADC and DAC 6dB Attenuation Select

输出信号路径

CJC8991 输出信号路由由数字滤波器、DAC、模拟混频器和输出驱动器组成。当 CJC8991 处于“仅播放”或“录制和播放”模式时，数字滤波器和 DAC 将启用。混频器和输出驱动器可通过单独的控制位单独启用（参见模拟输出）。因此，无论 DAC 是否在运行，都可以利用 CJC8991 提供的模拟混频和放大。

CJC8991 接收 DACDAT 引脚上的数字输入数据。数字滤波器块处理数据以提供以下功能：

- 数字音量控制
- 声音均衡和动态低音增强
- Sigma-Delta 调制

两个高性能 sigma-delta 音频 DAC 将数字数据转换为两个差分模拟信号。然后将这些信号与来自 LINPUT1/2 和 RINPUT1/2 引脚的模拟信号混合，并将混合信号送入输出驱动器 OUTN 和 OUTP。

- LOUT/ROUT: 可驱动 16Ω 或 32Ω 立体声耳机或立体声线路输出。

数字 DAC 音量控制

每个 DAC 的信号音量可以用与 ADC 音量相同的方法进行数字控制(参见数字 ADC 音量控制)。增益衰减范围为-127dB ~ 0dB，步长为 0.5dB。8 位码 X 的衰减级别由下式得出：

$$0.5 \times (X-255) \text{ dB for } 1 \leq X \leq 255; \text{ MUTE for } X = 0$$

LDVU 和 RDVU 控制位控制数字音量控制数据的加载。当 LDVU 或 RDVU 设置为 0 时，LDACVOL 或 RDACVOL 控制数据加载到中间寄存器中，但实际增益不变。当 LDVU 或 RDVU 设置为 1 时，左右增益设置同时更新。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R10 (0Ah) Left Channel Digital Volume	8	LDVU	0	Left DAC Volume Update 0 = Store LDACVOL in intermediate latch (no gain change) 1 = Update left and right channel gains (left = LDACVOL, right = intermediate latch)
	7:0	LDACVOL [7:0]	11111111 (0dB)	Left DAC Digital Volume Control 0000 0000 = Digital Mute 0000 0001 = -127dB 0000 0010 = -126.5dB ... 0.5dB steps up to 1111 1111 = 0dB
R11 (0Bh) Right Channel Digital Volume	8	RDVU	0	Right DAC Volume Update 0 = Store RDACVOL in intermediate latch (no gain change) 1 = Update left and right channel gains (left = intermediate latch, right = RDACVOL)
	8	RDVU	0	Right DAC Volume Update latch (no gain change) 1 = Update left and right channel gains (left = intermediate latch, right = RDACVOL)
	7:0	RDACVOL [7:0]	11111111 (0dB)	Right DAC Digital Volume Control similar to LDACVOL

Table 17 Digital Volume Control

声音均衡

CJC8991 具有数字音频均衡和自适应低音增强功能。该功能在数字音频数据传递给音频 DAC 之前对

其进行操作。低音增强可以采取两种不同的形式：

- **线性低音控制：**低音信号通过用户可编程增益放大或衰减。这与信号音量无关，在大信号上很高的低音增益可能会导致信号限幅。
- **自适应低音增强：**低音音量通过可变增益放大。当低音音量较低时，它会比低音音量较高时增强得更多。建议使用这种方法，因为它可以防止限幅，并且通常听起来更为悦耳。

高音控制采用用户可编程增益，无任何自适应增强功能。低音和高音控制完全独立，具有单独的可编程增益和滤波器特性。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION		
R12 (0Ch) Bass Control	7	BB	0	Bass Boost 0 = Linear bass control 1 = Adaptive bass boost		
	6	BC	11111111 (0dB)	Bass Filter Characteristic 0 = Low Cutoff (130Hz at 48kHz sampling) 1 = High Cutoff (200Hz at 48kHz sampling)		
	3:0	BASS [3:0]	1111 (Disabled)	Bass Intensity		
				Code	BB=0	BB=1
				0000	+9dB	15
				0001	+9dB	14
				0010	+7.5dB	13
				0011	+6dB	12
				0100	+4.5dB	11
				0101	+3dB	10
				0110	+1.5dB	9
				0111	0dB	8
				1000	-1.5dB	7
				1001	-3dB	6
				1010	-4.5dB	5
				1011	-6dB	4
1100	-6dB	3				
1101	-6dB	2				
1110	-6dB	1				
1111	Bypass (OFF)					
R13 (0Dh) Treble Control	6	TC	0	Treble Filter Characteristic 0 = High Cutoff (8kHz at 48kHz sampling) 1 = Low Cutoff (4kHz at 48kHz sampling)		
	3:0	TRBL [3:0]	1111 (Disabled)	Treble Intensity 0000 or 0001 = +9dB 0010 = +7.5dB ... (1.5dB steps) 1011 to 1110 = -6dB		

				1111 = Disable
--	--	--	--	----------------

Table 18 Graphic Equaliser

数字-模拟转换器 (DAC)

在通过音频均衡器滤波器后，如有必要，可以对音频数据应用数字“去加重”（例如，当数据来自记录过程中使用了预加重的 CD 时）。去加重滤波可用于 48kHz、44.1kHz 和 32kHz 的采样率。

CJC8991 还具有软静音功能，可将数字信号的音量逐渐衰减至零。移除后，增益将恢复到原始设置。默认情况下启用此功能。要播放音频信号，必须首先通过将 DACMU 位设置为零来禁用该信号。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R5 (05h) ADC and DAC control	2:1	DEEMP [1:0]	00	De-emphasis Control 11 = 48kHz sample rate 10 = 44.1kHz sample rate 01 = 32kHz sample rate 00 = No De-emphasis
	3	DACMU	1	Digital Soft Mute 1 = mute 0 = no mute (signal active)

Table 19 DAC Control

数字音频数据在片上真正的 24 位数字内插滤波器中转换为过采样位流。

比特流数据进入两个多位 sigma-delta DAC，将其转换为高质量模拟音频信号。

多位 DAC 结构降低了高频噪声和对时钟抖动的敏感性。它还使用动态元件匹配技术，以实现高线性和低失真。正常工作时，左声道和右声道数字音频数据在两个单独的 DAC 中转换为模拟。

但是，也可以禁用一个通道，以便在两个模拟输出通道上显示相同的信号（左或右）。

此外，还有一种单声道混音模式，其中两个音频通道以数字方式混合在一起，然后仅使用一个 DAC 转换为模拟，同时关闭另一个 DAC。

可以选择在两个模拟输出通道上显示单声道混音信号。

DAC 输出默认为非反转。设置 DACINV 将反转左右通道上的 DAC 输出相位。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R23 (17h)	5:4	DMONOMIX	00	DAC mono mix

Additional Control (1)		[1:0]		00: stereo 01: mono ((L+R)/2) into DACL, '0' into DACR 10: mono ((L+R)/2) into DACR, '0' into DACL 11: mono ((L+R)/2) into DACL and DACR
	1	DACINV	1	DAC phase invert 0 : non-inverted 1 : inverted

Table 20 DAC Mono Mix and Phase Invert Select

输出混频

CJC8991 提供了通过 PGA 将 DAC 输出信号与来自麦克风引脚的模拟麦克风输入信号混合的选项。混入信号的电平可通过 PGA（可编程增益放大器）控制。

单声道混频器设计用于混合多个信号组合，为了防止满标度的输入 DAC 左、右信号时混合器过载，DAC 输出的混频器输入均具有-6dB 的固定增益。单声道混频器的路径输入增益是可变的，由 R36 的 [2:0]位决定。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R33 (21h) MIC	4	MIC2O	0	Micphone signal after INSEL to left and right Mixer 0 = Disable (Mute) 1 = Enable Path
	3:0	MIC2OVOL	1010 (-9dB)	MIC Signal from INSEL to Mixer Volume 000 0= +6dB ... (1.5dB steps) 111 1= -16.5dB
R34 (22h) AUX	4	AUX2O	0	Micphone signal after PGA to left and right Mixer 0 = Disable (Mute) 1 = Enable Path
	3:0	AUX2OVOL	1010 (-9dB)	MIC Signal after PGA to Mixer Volume 000 = +6dB ... (1.5dB steps) 111 = -16.5dB

Table 21 Output Mixer Signal Selection

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R35 (23h) Left Mixer Control (1)	8	LD2LO	0	Left DAC to Left Mixer (DIGITAL) 0 = Disable (Mute) 1 = Enable Path
	7	RD2LO	0	Right DAC to Left Mixer (DIGITAL) 0 = Disable (Mute) 1 = Enable Path

Table 22 Left Output Mixer Control

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R36 (24h) Right Mixer Control (1)	8	LD2RO	0	Left DAC to Right Mixer (DIGITAL) 0 = Disable (Mute) 1 = Enable Path
	7	RD2RO	0	Right DAC to Right Mixer (DIGITAL) 0 = Disable (Mute) 1 = Enable Path

Table 23 Right Output Mixer Control

模拟输出

LOUT OUTPUTS

LOUT 和 ROUT 引脚可以驱动 16Ω 耳机或线路输出（分别参见耳机输出和线路输出部分）。通过分别写入 LOUVOL 和 ROUVOL，可以在软件控制下独立调整 LOUT 和 ROUT 上的信号音量。请注意，如果信号较大，超过 0dB 的增益可能会导致削波。任何低于 0101111（最小值）的增益设置都会使输出驱动器静音。相应的输出引脚保持在相同的直流电平（VREF 引脚上的参考电压），以便在静音或取消静音时不会产生咔嗒声。

当更改增益设置时，也可以启用模拟输出上的过零检测，以在增益更新时最小化可听到的咔哒声和拉链噪音。如果启用过零，可是未发生过零，还可以使用超时来更新增益。可通过在寄存器 R23（17h）中设置 TOEN 来启用此功能。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R2 (02h) LOUT Volume	8	LOVU	0	Left Volume Update 0 = Store LOUVOL in intermediate latch (no gain change) 1 = Update left and right channel gains (left = LOUVOL, right = intermediate)

				latch)
	7	LOZC	0	Left zero cross enable 1 = Change gain on zero cross only 0 = Change gain immediately
	6:0	LOUTVOL [6:0]	1111001 (0dB)	LOUT Volume 1111111 = +6dB ... (80 steps) 0110000 = -67dB 0111111 to 0000000 = Analogue MUTE
R3 (03h) ROUT Volume	8	ROVU	0	Right Volume Update 0 = Store ROUTVOL in intermediate latch (no gain change) 1 = Update left and right channel gains (left = intermediate latch, right = ROUTVOL)
	7	ROZC	0	Right zero cross enable 1 = Change gain on zero cross only 0 = Change gain immediately
	6:0	ROUTVOL [6:0]	1111001	ROUTVolume 1111111 = +6dB ... (80 steps) 0110000 = -67dB 0111111 to 0000000 = Analogue MUTE

Table 24 LOUT/ROUT Volume Control

LOUT 使能公共接地 (HPCOM)

LOUT/ROUT 输出还可以通过连接到 HPCOM 的连接合并公共接地，HPCOM 可以作为耳机驱动器的接地，这样我们就需要耳机和 LOUT/ROUT 引脚之间的大电容。HPCOM 由 opamp in 芯片驱动，应通过 4.7uF 电容器进行交流耦合，以用于耳机负载。如果我们用作线路输出，我们应该将 LOUT/ROUT 和实际 GND 连接到仪器，而不是 HPCOM。因为 HPCOM 电压等于 VREF 引脚。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R24 (18h) HPCOM Control	7	HPCOMEN	1	Enables HPCOM on then LOUT/ ROUT can capless connect to headphone 0: Disable HPCOM drive

				1: Enable HPCOM drive
	4	DMIC_EN	0	DMIC input and analog input options 0: Analog input 1: DMIC input

Table 25 HPCOM Control

输出使能

可以单独启用或禁用 CJC8991 的每个模拟输出。与每个输出相关的模拟混频器与输出引脚一起通电或断电。默认情况下禁用所有输出。为节省功耗，未使用的输出应保持禁用状态。

可以随时启用输出，除非禁用 VREF (VR=0)，因为这可能会导致弹出噪音(参见“电源管理”和“应用信息”部分)

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R26 (1Ah) Power Management (2)	6	LOUT	0	LOUT Enable
	5	ROUT	0	ROUT Enable

Note: All “Enable” bits are 1 = Enabled, 0 = Disabled

Table 28 Analogue Output Control

当模拟输出被禁用时，它将通过电阻器保持与 VREF (引脚 20) 的连接。这有助于在重新启用输出时防止弹出噪音。可以使用寄存器 27 中的 VROI 位控制 VREF 和每个输出之间的电阻。默认值为低阻抗 (1.5kΩ)，因此输出端上的任何电容器都可以在启动时快速充电。如果禁用输出需要高阻抗，则 VROI 可设置为 1，将电阻增加至约 40KΩ

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R27 (1Bh) Additional (1)	6	VROI	0	VREF to analogue output resistance 0: 1.5 kΩ 1: 40 kΩ

Table 29 Disabled Outputs to VREF Resistance

过热关机

耳机输出可以驱动非常大的电流。为防止 CJC8991 过热，包括过热关机电路。如果设备温度达到约 150 °C 且热关机电路已启用 (TSDEN=1)，则耳机放大器 (输出 OUT1L/R 和 OUT2L/R) 将被禁用。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R23 (17h) Additional	8	TSDEN	0	Thermal Shutdown Enable 0 : thermal shutdown disabled

Control (1)				1 : thermal shutdown enabled
-------------	--	--	--	------------------------------

Table 30 Thermal Shutdown

数字音频接口

数字音频接口用于将 DAC 数据输入 CJC8991 并从中输出 ADC 数据。它使用四个引脚：

- ADCDAT: ADC 数据输出
- DACDAT: DAC 数据输入
- LRC: DAC 和 ADC 数据校准时钟
- BCLK: 位时钟，用于同步

时钟信号 SCLK 和 LRCK 可以是 CJC8991 作为主机运行时的输出，或作为从机运行时的输入(参见下面的主机和从机模式操作)。

支持多种不同的音频数据格式：

- Left justified
- I²S
- DSP mode

这几种模式都是 MSB 优先。下文以音频数据格式对其进行了描述。有关时序信息，请参阅电气特性部分。

主从模式操作

CJC8991 可以配置为主机模式或从机模式。作为主机，CJC8991 生成 BCLK、ADCLRC 和 DACLRC，从而控制 ADCDAT 和 DACDAT 上数据传输的顺序。在从机模式下，CJC8991 通过数字音频接口向接收到的时钟发送数据。可通过写入 MS 位来选择模式（见表 23）。主模式和从模式如下所示。

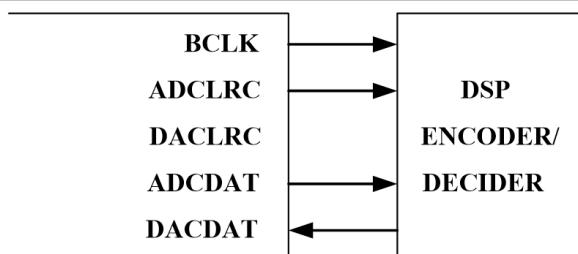


Figure 10 Master Mode

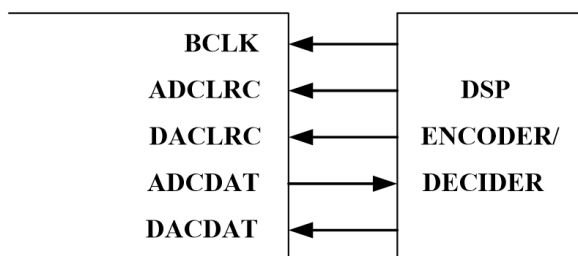


Figure 11 Slave Mode

音频数据格式

在左对齐模式下，在 LRCLK 转换后，MSB 在 BCLK 的第一个上升沿上可用。然后依次传输到 LSB 的其他位。根据字长、BCLK 频率和采样率，在每个 LRCLK 转换之前可能存在未使用的 BCLK 周期。

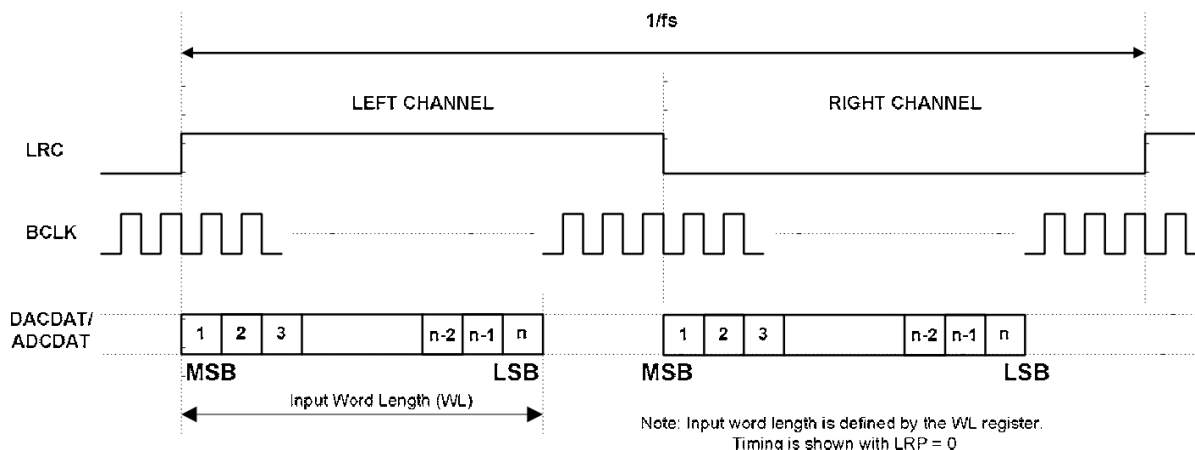


Figure 12 Left Justified Audio Interface (assuming n-bit word length)

在 I2S 模式下，在 LRCLK 转换后，MSB 在 BCLK 的第二个上升沿可用。然后依次传输到 LSB 的其他位。根据字长、BCLK 频率和采样率，在一个样本的 LSB 和下一个样本的 MSB 之间可能存在未使用的 BCLK 周期。

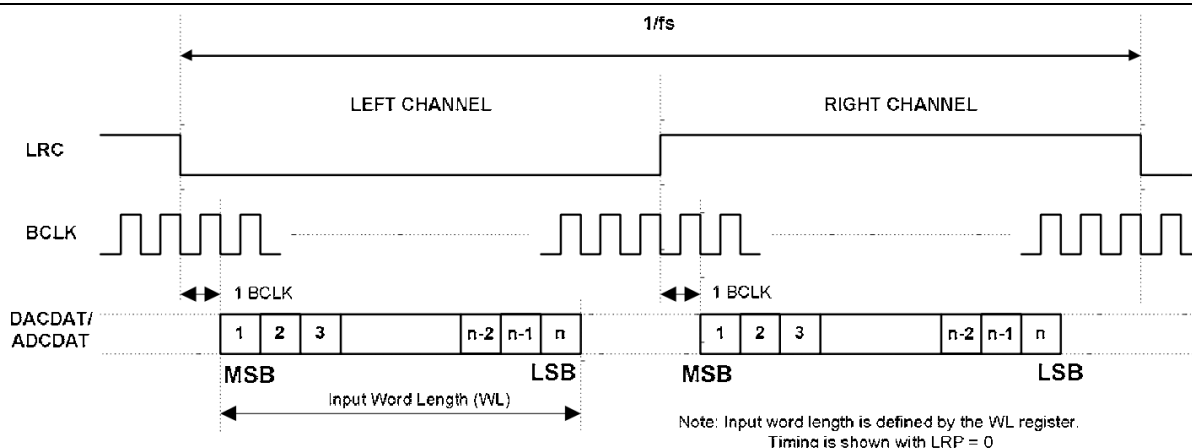


Figure 13 I2S Justified Audio Interface (assuming n-bit word length)

在 DSP/PCM 模式下，左通道 MSB 在 LRC 上升沿之后的 BCLK 的 1（模式 B）或 2（模式 A）上升沿上可用（可由 LRP 选择）。右通道数据紧跟在左通道数据之后。根据字长、BCLK 频率和采样率，右通道数据的 LSB 和下一个采样之间可能存在未使用的 BCLK 周期。在设备主模式下，LRC 输出类似于图 14 和图 15 所示的帧频率。在设备从属模式下，如图 16 和图 17 所示，可以使用任意长度的帧时钟。

小于 $1/f_s$ ，前提是帧时钟的下降沿比下一帧时钟的上升沿早一个 SCLK 周期。

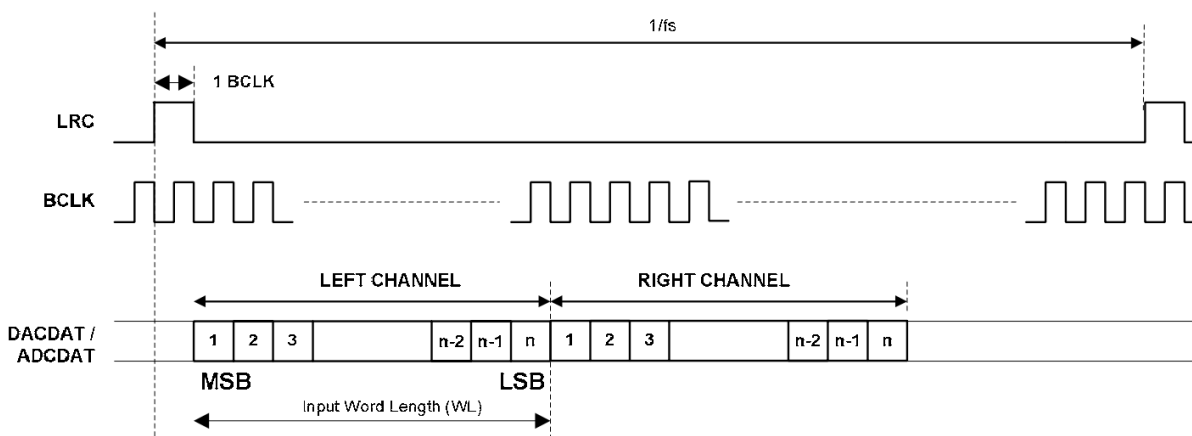


Figure 14 DSP/PCM Mode Audio Interface (mode A, LRP=0, Master)

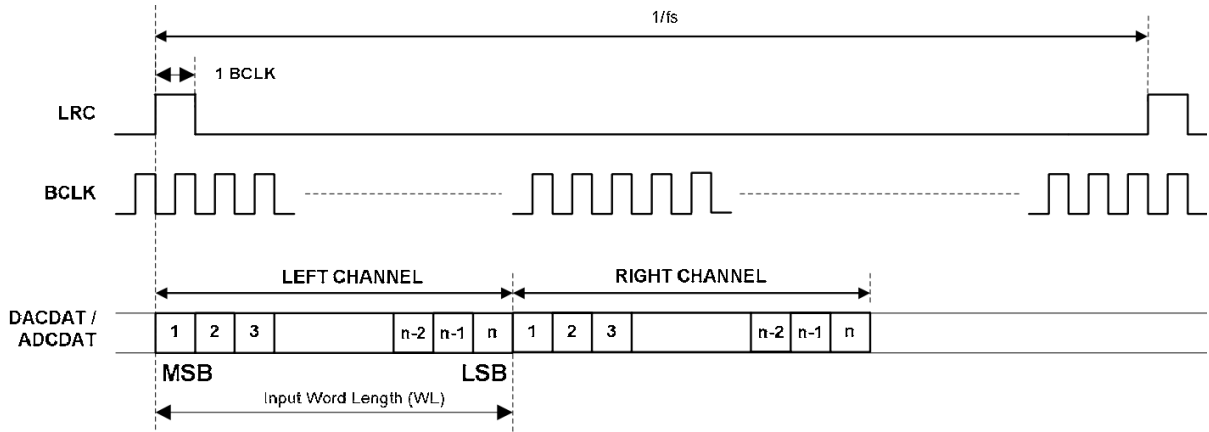


Figure 15 DSP/PCM Mode Audio Interface (mode B, LRP=1, Master)

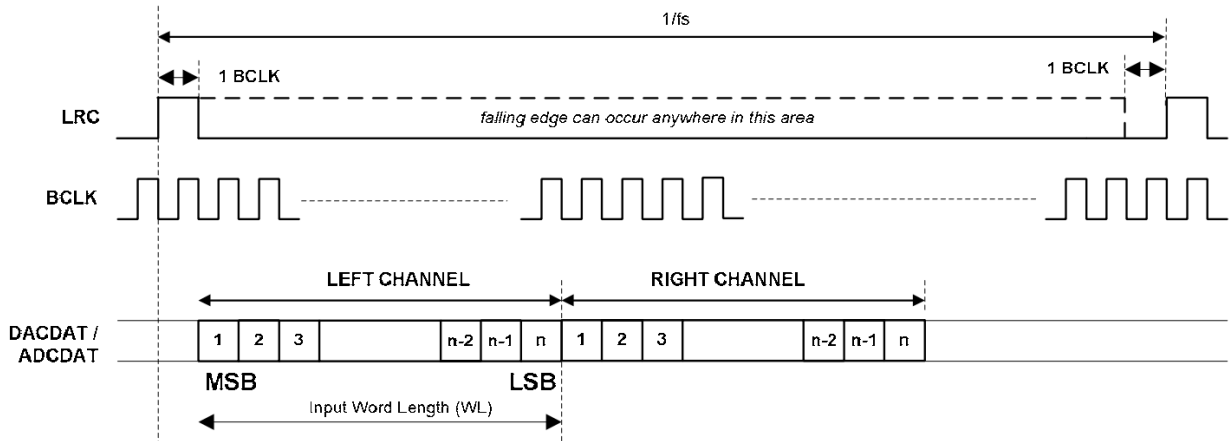


Figure 16 DSP/PCM Mode Audio Interface (mode A, LRP=0, Slave)

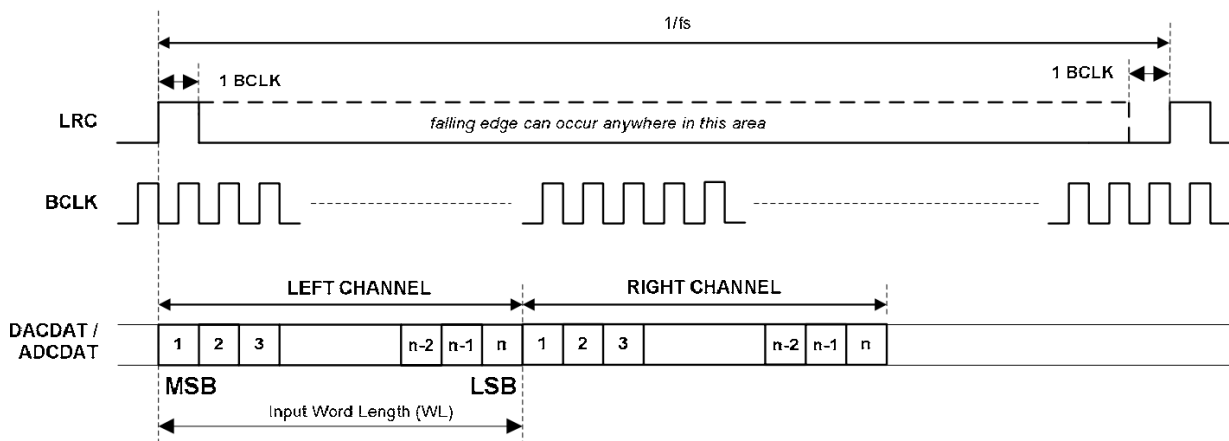


Figure 17 DSP/PCM Mode Audio Interface (mode B, LRP=0, Slave)

音频接口控制

表 31 总结了控制音频格式、字长和主/从模式的寄存器位。MS 在主模式或从模式下选择音频接口操作。在主模式下，BCLK 和 LRC 为输出。LRC 的频率由采样率控制位 SR[4:0]和 USB 设置。在从属模式下，BCLK 和 LRC 是输入。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R7 (07h) Digital Audio Interface Format	7	BCLKINV	0	BCLK invert bit (for master and slave modes) 0 = BCLK not inverted 1 = BCLK inverted
	6	MS	0	Master / Slave Mode Control 1 = Enable Master Mode 0 = Enable Slave Mode
	5	LRSWAP	0	Left/Right channel swap 1 = swap left and right DAC data in audio interface 0 = output left and right data as normal
	4	LRP	0	right, left and I ² S modes – LRCLK polarity 1 = invert LRCLK polarity 0 = normal LRCLK polarity NOTE: this register is valid for ADC, DAC don't output when LRP equals to 1. DSP Mode – mode A/B select 1 = MSB is available on 1 BCLK rising edge after LRC rising edge (mode B) 0 = MSB is available on 2 BCLK rising edge after LRC rising edge (mode A)
	3:2	WL[1:0]	10	Audio Data Word Length 11 = 32 bits (see Note) 10 = 24 bits 01 = 20 bits 00 = 16 bits
	1:0	FORMAT[1:0]	10	Audio Data Format Select 11 = DSP Mode 10 = I ² S Format 01 = Left justified 00 = reserved (do not use this setting)

Table 31 Audio Data Format Control

音频接口输出三态

寄存器位 TRI、寄存器 24 (18h) 位[3]可用于将 ADCDAT 引脚三态化，并将 ADCLRC、DACLRC 和 BCLK 切换到输入端。在从机模式（主=0）下，LRC 和 BCLK 默认配置为输入，只有 ADCDAT 是三态的（见表 32）。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R24(18h) Additional Control (2)	3	TRI	0	Tristates ADCDAT and switches ADCLRC, DACLRC and BCLK to inputs. 0 = ADCDAT is an output, LRC and BCLK are inputs (slave mode) or outputs (master mode) 1 = ADCDAT is tristated, LRC and BCLK are inputs

Table 32 Tri-stating the Audio Interface

主模式 LRC 使能

在主机模式下，IrcLk（LRC）仅在 DAC 启用时默认启用。如果需要在主模式下仅进行 ADC 操作，则必须设置寄存器位 LRCM 以生成 IrcLk。对于 DAC，只有操作 LRCM 可以设置为“0”。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R24(18h) Additional Control (2)	2	LRCM	0	Selects disable mode for LRC 0 = LRC disabled when DAC (Left and Right) disabled. 1 = LRC disabled only when ADC (Left and Right) and DAC (Left and Right) are disabled.

Table 33 LRC Enable

位时钟模式

默认主机模式位时钟生成器根据采样率和输入 MCLK 频率生成位时钟频率，如表 36 所示。通过设置适当的 BCM[1:0]位启用时，位时钟模式（BCM）功能会覆盖默认主模式位时钟生成器，以产生下表所示的位时钟频率：

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R8 (08h) Clocking and Sample Rate Control	8:7	BCM[1:0]	00	BCLK Frequency 00 = BCM function disabled 01 = MCLK/4 10 = MCLK/8 11 = MCLK/16

Table 34 Master Mode BCLK Frequency Control

BCM 模式位时钟发生器产生 16 或 24 位时钟周期每个样本。在这种模式下，每个样本的比特时钟周期数由数字音频接口格式寄存器(R7)中的 word length (WL[1:0])决定。当这些位设置为 00 时，每个样本将有 16 位时钟周期。当这些位设置为 01、10 或 11 时，每个样本将有 24 位时钟周期。详见图 18。

为了使用 BCM，必须启用 ADC，如果禁用 ADC，则必须设置 LRCM 位并启用 DAC。

当 BCM 功能开启时，有如下限制：

- 1.位时钟反转(BCLKINV)功能不可用。
2. DSP 后期数字音频接口模式不可用，不能开启。

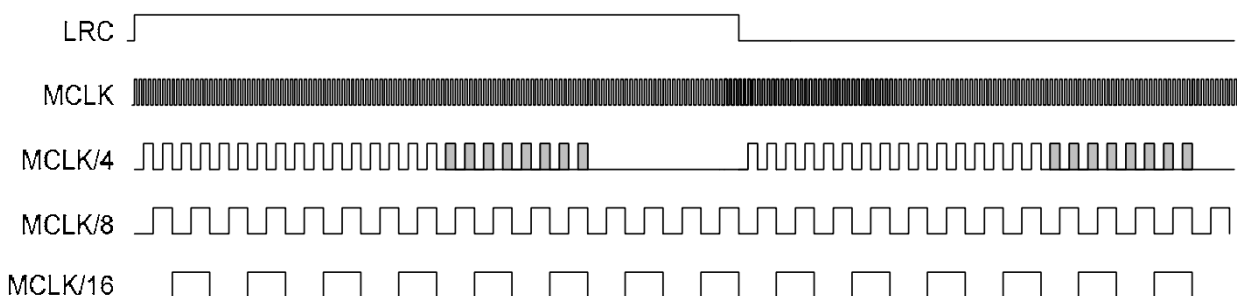


Figure 18 Bit Clock Mode

Note:

只有在选择 24 位模式时，才会出现阴影位时钟周期。请参阅“位时钟模式”详细说明。

时钟和采样频率

CJC8991 在 MCLK 引脚上支持广泛的主时钟频率，并可以直接从主时钟生成许多常用的音频采样率。ADC 和 DAC 必须始终以相同的采样率运行。

有两种时钟模式：

- “正常”模式支持 128fs、192fs、256fs、384fs 及其倍数的主时钟(注:fs 指 ADC 或 DAC 的采样速率，以较快者为准)
- USB 模式支持 12MHz 或 24MHz 主时钟。此模式适用于具有 USB 接口的系统，无需外部 PLL 为音频编解码器生成另一个时钟频率。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R8 (08h) Clocking and Sample Rate Control	6	CLKDIV2	0	Master Clock Divide by 2 1 = MCLK is divided by 2 0 = MCLK is not divided
	5:1	SR [4:0]	00000	Sample Rate Control
	0	USB	0	Clocking Mode Select 1 = USB Mode 0 = 'Normal' Mode

Table 35 Clocking and Sample Rate Control

CJC8991 的时钟使用 CLKDIV2、USB 和 SR 控制位进行控制。设置 CLKDIV2 位会在内部将 MCLK 除以 2。USB 位在“正常”和 USB 模式之间进行选择。SR[4:0]的每个值选择一个 MCLK 分割比组合，从而选择一个采样率组合（见下页）。由于所有采样率都是通过划分 MCLK 生成的，因此它们的精度取决于 MCLK 的精度。如果 MCLK 发生变化，则采样率会成比例变化。

请注意，一些采样率（例如，USB 模式下为 44.1kHz）是近似值，即它们与目标值相差很小。这是听不见的，因为最大偏差仅为 0.27%（USB 模式下为 8.0214kHz，而不是 8kHz）。相比之下，半音阶对应于 5.9%的音高变化。

必须设置 SR 的[4:0]位，以便在主机模式和从机模式下配置适当的 ADC 和 DAC 采样率。



MCLK CLKDIV2= 0	MCLK CLKDIV2= 1	ADC RATE (ADCLRC)	SAMPLE RATE (DACLRC)	DAC RATE (DACLRC)	USB	SR [4:0]	FILTER TYPE	BCLK (MS=1)
'Normal' Clock Mode ('*' indicates backward compatibility with CJC8731)								
12.288 MHz	24.576 MHz	8 kHz (MCLK/1536)	8 kHz (MCLK/1536)	8 kHz (MCLK/1536)	0	00110*	1	MCLK/4
		12 kHz (MCLK/1024)	12 kHz (MCLK/1024)	12 kHz (MCLK/1024)	0	01000	1	MCLK/4
		16 kHz (MCLK/768)	16 kHz (MCLK/768)	16 kHz (MCLK/768)	0	01010	1	MCLK/4
		24 kHz (MCLK/512)	24 kHz (MCLK/512)	24 kHz (MCLK/512)	0	11100	1	MCLK/4
		32 kHz (MCLK/384)	32 kHz (MCLK/384)	32 kHz (MCLK/384)	0	01100*	1	MCLK/4
		48 kHz (MCLK/256)	48 kHz (MCLK/256)	48 kHz (MCLK/256)	0	00000*	1	MCLK/4
		96 kHz (MCLK/128)	96 kHz (MCLK/128)	96 kHz (MCLK/128)	0	01110*	3	MCLK/2
11.2896MHz	22.5792MHz	8.0182 kHz (MCLK/1408)	8.0182 kHz (MCLK/1408)	8.0182 kHz (MCLK/1408)	0	10110*	1	MCLK/4
		11.025 kHz (MCLK/1024)	11.025 kHz (MCLK/1024)	11.025 kHz (MCLK/1024)	0	11000	1	MCLK/4
		22.05 kHz (MCLK/512)	22.05 kHz (MCLK/512)	22.05 kHz (MCLK/512)	0	11010	1	MCLK/4
		44.1 kHz (MCLK/256)	44.1 kHz (MCLK/256)	44.1 kHz (MCLK/256)	0	10000*	1	MCLK/4
		88.2 kHz (MCLK/128)	88.2 kHz (MCLK/128)	88.2 kHz (MCLK/128)	0	11110*	3	MCLK/2
18.432MHz	36.864MHz	8 kHz (MCLK/2304)	8 kHz (MCLK/2304)	8 kHz (MCLK/2304)	0	00111*	1	MCLK/6
		12 kHz (MCLK/1536)	12 kHz (MCLK/1536)	12 kHz (MCLK/1536)	0	01001	1	MCLK/6
		16kHz (MCLK/1152)	16 kHz (MCLK/1152)	16 kHz (MCLK/1152)	0	01011	1	MCLK/6
		24kHz (MCLK/768)	24 kHz (MCLK/768)	24 kHz (MCLK/768)	0	11101	1	MCLK/6
		32 kHz (MCLK/576)	32 kHz (MCLK/576)	32 kHz (MCLK/576)	0	01101*	1	MCLK/6
		48 kHz (MCLK/384)	48 kHz (MCLK/384)	48 kHz (MCLK/384)	0	00001*	1	MCLK/6
		96 kHz (MCLK/192)	96 kHz (MCLK/192)	96 kHz (MCLK/192)	0	01111*	3	MCLK/3
16.9344MHz	33.8688MHz	8.0182 kHz (MCLK/2112)	8.0182 kHz (MCLK/2112)	8.0182 kHz (MCLK/2112)	0	10111*	1	MCLK/6
		11.025 kHz (MCLK/1536)	11.025 kHz (MCLK/1536)	11.025 kHz (MCLK/1536)	0	11001	1	MCLK/6
		22.05 kHz (MCLK/768)	22.05 kHz (MCLK/768)	22.05 kHz (MCLK/768)	0	11011	1	MCLK/6
		44.1 kHz (MCLK/384)	44.1 kHz (MCLK/384)	44.1 kHz (MCLK/384)	0	10001*	1	MCLK/6
		88.2 kHz (MCLK/192)	88.2 kHz (MCLK/192)	88.2 kHz (MCLK/192)	0	11111*	3	MCLK/3

Table 36a Master Clock and Sample Rates

MCLK CLKDIV2=0	MCLK CLKDIV2=1	ADC SAMPLE RATE (ADCLRC)	DAC SAMPLE RATE (DACLRC)	USB	SR [4:0]	FILTER TYPE	BCLK (MS=1)
USB Mode (“*” indicates backward compatibility with CJC8731)							
12.000MHz	24.000MHz	8 kHz (MCLK/1500)	8 kHz (MCLK/1500)	1	00110*	0	MCLK
		8.0214 kHz (MCLK/1496)	8.0214kHz (MCLK/1496)	1	10111*	1	MCLK
		11.0259 kHz (MCLK/1088)	11.0259kHz (MCLK/1088)	1	11001	1	MCLK
		12 kHz (MCLK/1000)	12 kHz (MCLK/1000)	1	01000	0	MCLK
		16kHz (MCLK/750)	16kHz (MCLK/750)	1	01010	0	MCLK
		22.0588kHz (MCLK/544)	22.0588kHz (MCLK/544)	1	11011	1	MCLK
		24kHz (MCLK/500)	24kHz (MCLK/500)	1	11100	0	MCLK
		32 kHz (MCLK/375)	32 kHz (MCLK/375)	1	01100*	0	MCLK
		44.118 kHz (MCLK/272)	44.118 kHz (MCLK/272)	1	10001*	1	MCLK
		48 kHz (MCLK/250)	48 kHz (MCLK/250)	1	00000*	0	MCLK
		88.235kHz (MCLK/136)	88.235kHz (MCLK/136)	1	11111*	3	MCLK
		96 kHz (MCLK/125)	96 kHz (MCLK/125)	1	01110*	2	MCLK

Table 36b Master Clock and Sample Rates

控制接口

控制方式

CJC8991 通过串行控制接口写入寄存器进行控制。控制字由 16 位组成。控制接口作为 2-wire MPU 接口运行。

2-wire 串行控制方式

CJC8991 支持通过 2-wire 串行总线进行软件控制。许多设备可以由同一总线控制，并且每个设备都有一个唯一的 7 位地址(这与 CJC8991 中每个寄存器的 7 位地址不同)。

CJC8991 仅作为从机运行时。当 CCLK 保持高电平时，控制器以 CDATA 上从高到低的转换指示数据传输的开始。CJC8991 仅作为从属设备工作。当 SCLK 保持高位时，控制器通过 SDIN 上的高到低转换指示数据传输的开始。这表示随后将出现设备地址和数据。2-wire 总线上的所有设备响应启动条件，并在 SDIN 上的下八位移位(7 位地址+读/写位, MSB 优先)。如果接收到的设备地址与 CJC8991 的地址匹配，且 R/W 位为“0”，表示写入，则 CJC8991 通过在下一个时钟频率 (ACK) 中将 SDIN

拉低来响应。如果无法识别地址或 R/W 位为“1”，CJC8991 将返回空闲状态，并等待新的启动条件和有效地址。

一旦 CJC8991 确认了一个正确的地址，控制器发送控制数据的第一个字节(B15 到 B8，即 CJC8991 寄存器地址加上寄存器数据的第一个位)。然后 CJC8991 通过将 SDIN 拉低一个时钟频率来确认收到第一个数据字节。然后控制器发送第二个字节的控制数据(B7 到 B0，即剩余的 8 位寄存器数据)，CJC8991 通过拉低 SDIN 再次确认。

当 SCLK 高电平时，SDIN 上有从低到高的转换时，数据传输完成。在接收到完整的地址和数据序列后，CJC8991 返回空闲状态，等待另一个启动条件。如果在数据传输过程中的任何一点检测到启动或停止条件乱序(即当 SCLK 高时 SDIN 改变)，设备跳转到空闲条件。

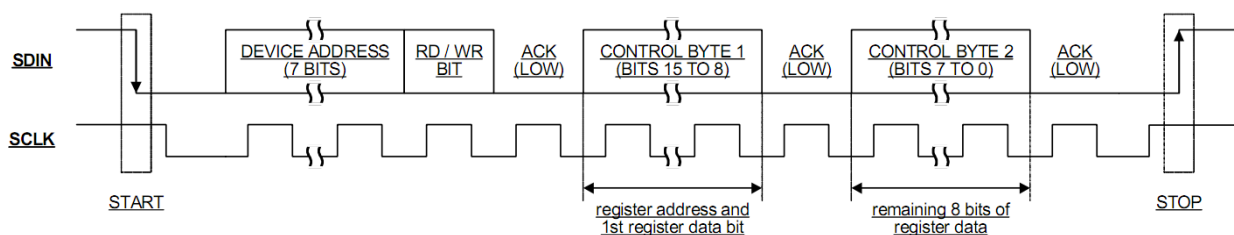


Figure 20 2-Wire Serial Control Interface

CJC8991 只有一个设备地址，CSB 引脚高电平

CSB STATE	DEVICE ADDRESS
High	0011011 (0 x 36h)

Table 38 2-Wire MPU Interface Address Selection

电源供应

CJC8991 最多可以使用四个单独的电源：

- AVDD / AGND: 模拟电源，提供除耳机驱动器外的所有模拟功能。AVDD 的范围在 1.8V 到 3.3V 之间，对整体功耗的影响最为显著(耳机功耗除外)。较大的 AVDD 会略微改善音频质量。
- HPVDD / HPGND: 耳机电源，为耳机驱动器供电。HPVDD 通常与 AVDD 相结合，但它需要单独的布局和解耦电容器来抑制谐波失真。如果 HPVDD 低于 AVDD，输出信号可能被截断。
- DCVDD: 数字核心电源，提供除音频和控制接口外的所有数字功能。DCVDD 的电压范围在 1.5V 到 3.3V 之间，对音频质量没有影响。DCVDD 的返回路径为 DGND 与 DBVDD 共享此路径。
- DBVDD: 数字缓冲电源，为音频和控制接口缓冲供电。保存 PIN 码，DBVDD 连接 DCVDD。DBVDD 比 DCVDD 消耗更少的能量，并且对音频质量没有影响。由于 PIN 数较少，我们将 DBVDD 和 DCVDD 连接起来，DBVDD 对数字核心和芯片性能没有影响。

可以在所有三个电源上使用相同的电源电压，但是，数字和模拟电源应单独布线和去耦，以防止数字

开关噪声进入模拟信号路径。

电源管理

CJC8991 有两个控制寄存器，允许用户选择激活的功能。为了达到最低功耗，应禁用未使用的功能。为了避免任何弹出或点击噪音，以正确的顺序启用或禁用功能是很重要的(参见应用程序信息)。VMIDSEL 是 Vmid 的启用状态，默认为禁用，可以作为 50kΩ 潜在分压器启用，或者在所有其他块被禁用时，为维护 VREF 的低功耗，作为 500kΩ 潜在分压器启用。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R25 (19h) Power Management (1)	8:7	VMIDSEL	00	Vmid divider enable and select 00 – Vmid disabled (for OFF mode) 01 – 50kΩ divider enabled (for playback/record) 10 – 500kΩ divider enabled (for low-power standby) 11 – 5kΩ divider enabled (for fast start-up)
	6	VREF	0	VREF (necessary for all other functions) 0 = Power down 1 = Power up
	5	AIN	0	Analogue in PGA 0 = Power down 1 = Power up
	3	ADC	0	ADC 0 = Power down 1 = Power up
R26 (1Ah) Power Management (2)	8	DACL	0	DAC Left 0 = Power down 1 = Power up
	7	DACR	0	DAC Right 0 = Power down 1 = Power up
	6	LOUT	0	LOUT Output Buffer* 0 = Power down 1 = Power up
	5	ROUT	0	ROUT Output Buffer* 0 = Power down 1 = Power up

* The left mixer is enabled when LOUT1=1 or LOUT2=1. The right mixer is enabled when ROUT1=1 or ROUT2=1.

Table 39 Power Management

关闭主时钟

为了尽量减少 CJC8991 数字核心的功耗，主时钟可以在待机和关机模式下停止。如果不能在时钟源外部执行此操作，则可以设置 DIGENB 位(R25, 位 0)以阻止 MCLK 信号传播到设备核心。在待机模式下，设置 DIGENB 通常会为 DCVDD 省去 20uA 的电流。

但是，由于设置 DIGENB 对 CJC8991 外部的其他系统组件的功耗没有影响，因此最好尽可能在其源位置禁用主时钟。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R25 (19h) Additional Control (1)	0	DIGENB	0	Master clock disable 0: master clock enabled 1: master clock disabled

Table 40 ADC and DAC Oversampling Rate Selection
Note:

在设置 DIGENB 之前，必须将控制位 ADCL、ADCR、DACL 和 DACR 设置为零，并且必须有 1ms 的观察时间。如果不遵循此过程，可能会导致 DAC 和 ADC 无法正常重新启动。

通过减少偏置电流来节省电能

DAC 的设计允许用户使用 DACMIXBIAS 位在功耗和性能之间进行权衡。默认设置(DACMIXBIAS=0)提供最好的音频性能。设置 DACMIXBIAS=1 可以降低 AVDD 电流消耗，但会略微降低性能(详见“电气特性”)。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R67 (43h)	3	DACMIX BIAS	0	DAC biasing 0 = high bias current (results in higher performance and power consumption) 1 = low bias current (results in lower performance and power consumption)

Table 41 DAC Biasing

通过降低过采样率来节省电能

ADC 和 DAC 数字滤波器的默认工作模式为 128x 过采样模式。在 ADCOSR 和 DACOSR 的控制下，过采样率可以减半。这将导致抗噪性能略有下降，但也会降低设备的功耗。在 USB 模式下，ADCOSR 必须设置为 0，即 128x 过采样。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R24 (18h) Additional Control (2)	1	ADCOSR	0	ADC oversample rate select 1 = 64x (lowest power) 0 = 128x (best SNR)
	0	DACOSR	0	DAC oversample rate select 1 = 64x (lowest power) 0 = 128x (best SNR)

Table 42 ADC and DAC Oversampling Rate Selection

ADCOSR set to '1', 64x oversample mode, is not supported in USB mode (USB=1).

在更高的电源电压下节省功耗

CJC8991 的模拟电源可以从 1.8V 到 3.3V 运行。默认情况下，设备上的所有模拟电路都优化为运行在 3.3V。这种设置也适用于所有其他电源电压降至 1.8V。在较低的电压下，可以通过增加偏置电流来提高性能。如果首选低功率操作，则偏置电流可保持在默认设置。如下表所示进行控制。

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R23 (17h) Additional Control (1)	7:6	VSEL [1:0]	11	Analogue Bias optimization 00: Highest bias current, optimized for AVDD=1.8V 01: Bias current optimized for AVDD=2.4V 1X: Lowest bias current, optimized for AVDD=3.3V

设备关闭模式

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
R37 (25h) Additional Control (1)	3	SDB	0	0=shutdown mode 1=operation mode



寄存器列表

REGISTER	ADDRESS (Bit 15 – 9)	remarks	Bit[8]	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]	default	page ref
R0 (00h)	0000000	Left Input volume	LIVU	LINMUTE	LIZC	LINVOL						10010111	19
R1 (01h)													19
R2 (02h)	0000010	LOUT volume	LOVU	LOZC	LOUTVOL[6:0]						01111001	31	
R3 (03h)	0000011	ROUT volume	ROVU	ROZC	ROUTVOL[6:0]						01111001	31	
R4 (04h)	0000100	Reserved	0	0	0	0	0	0	0	0	0	00000000	-
R5 (05h)	0000101	ADC & DAC Control	ADCDIV2	DACDIV2	0	ADCPOL	HPOR	DACMU	DEEMPH[1:0]		ADCHPD	00001000	19,25,28
R6 (06h)	0000110	Reserved	0	0	0	0	0	0	0	0	0	00000000	-
R7 (07h)	0000111	Audio Interface	0	BCLKINV	MS	LRSWAP	LRP	WL[1:0]		FORMAT[1:0]		00001010	37
R8 (08h)	0001000	Sample rate	BCM[1:0]		CLKDIV2	SR[4:0]				USB	00000000	39	
R9 (09h)	0001001	Reserved	0	0	0	0	0	0	0	0	0	00000000	-
R10 (0Ah)	0001010	Left DAC volume	LDVU	LDACVOL[7:0]						11111111	26		
R11 (0Bh)	0001011	Right DAC volume	RDVU	RDACVOL[7:0]						11111111	26		
R12 (0Ch)	0001100	Bass control	0	BB	BC	0	0	BASS[3:0]			00001111	27	
R13 (0Dh)	0001101	Treble control	0	0	TC	0	0	TRBL[3:0]			00001111	27	
R15 (0Fh)	0001111	Reset	writing to this register resets all registers to their default state									not reset	-
R16 (10h)	0010000	3D control	0	0	3DUC	3DLC	3DDEPTH[3:0]			3DEN	00000000	25	
R17 (11h)	0010001	ALC1	ALCSEL	0	MAXGAIN[2:0]			ALCL[3:0]			01111011	23	
R18 (12h)	0010010	ALC2	0	ALCZC	0	0	0	HLD[3:0]			00000000	23	
R19 (13h)	0010011	ALC3	0	DCY[3:0]			ATK[3:0]			00110010	23		
R20 (14h)	0010100	Noise Gate	0	NGTH[4:0]				NGG[1:0]		NGAT	00000000	24	



R21 (15h)	0010101	Left ADC volume	LAVU	LADCVOL[7:0]								11000011	21	
R22 (16h)	0010110	Right ADC volume												
R23 (17h)	0010111	Additional control(1)	TSDEN	VSEL[1:0]		DMONOMIX[1:0]				DACINV	TOEN	11000000	18,19,28,33	
R24 (18h)	0011000	Additional control(2)		HPCOMEN	0	0	DMIC_EN	TRI	LRCM	ADCOSR	DACOSR	00000000		
R25 (19h)	0011001	Pwr Mgmt (1)	VMIDSEL[1:0]		VREF	AIN		ADC		0	DIGENB	00000000	43	
R26 (1Ah)	0011010	Pwr Mgmt (2)	DACL	DACR	LOUT	ROUT						00000000	43	
R27 (1Bh)	0011011	Additional Control (3)	00		VROI	0	0	0	0	0	0	00000000	35	
R31 (1Fh)	0011111	ADC input mode						0	0	0	0	00000000	17	
R32 (20h)	0100000	ADC signal path	MIC_DIF_EN				MICBOOST[1:0]		0	0	0	0	00000000	17
R33 (21h)	0100001	MIC					MIC2O	MIC2OVOL[3:0]			00001010	17		
R34 (22h)	0100010	AUX					AUL2O	AUL2OVOL[3:0]			00001010	29		
R35 (23h)	0100011	Left out Mix (2)	LD2LO	RD2LO								01010000	29	
R36 (24h)	0100100	Right out Mix (1)	LD2RO	RD2RO								01010000	30	
R37 (25h)	0100101	Adc_pdn sel					SDB					00000000	30	
R38 (26h)	0100110	Reserved	0	0	1	0	1	0	0	0	0	01010000	30	
R39 (27h)	0100111	Reserved	0	0	1	0	1	0	0	0	0	01010000	30	
R40 (28h)	0101000											01111001	32	
R41 (29h)	0101001											01111001	32	
R42 (2Ah)	0101010	Reserved	0	0	1	1	1	0	1	0	1	01111001	35	
R67 (43h)	1000011	Low Power Playback	0	0	0	0	0	0	DACMIX BIAS	0	0	00000000	50	

数字滤波器的特点

ADC 和 DAC 采用不同的数字滤波器。有四种类型的数字滤波器，称为类型 0,1,2 和 3。类型 0 和 1 的性能在下表中列出，所有过滤器的响应在前面的页面中显示。

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
ADC Filter Type 0 (USB Mode, 250fs operation)					
Passband	+/- 0.05dB	0		0.416fs	
	-6dB		0.5fs		
Passband Ripple				+/- 0.05	dB
Stopband		0.584fs			
Stopband Attenuation	f > 0.584fs	-60			dB
ADC Filter Type 1 (USB mode, 272fs or Normal mode operation)					
Passband	+/- 0.05dB	0		0.4535fs	
	-6dB		0.5fs		
Passband Ripple				+/- 0.05	dB
Stopband		0.5465fs			
Stopband Attenuation	f > 0.5465fs	-60			dB
High Pass Filter Corner Frequency	-3dB		3.7		Hz
	-0.5dB		10.4		
	-0.1dB		21.6		
DAC Filter Type 0 (USB mode, 250fs operation)					
Passband	+/- 0.03dB	0		0.416fs	
	-6dB		0.5fs		
Passband Ripple				+/-0.03	dB
Stopband		0.584fs			
Stopband Attenuation	f > 0.584fs	-50			dB
DAC Filter Type 1 (USB mode, 272fs or Normal mode operation)					
Passband	+/- 0.03dB	0		0.4535fs	
	-6dB		0.5fs		
Passband Ripple				+/- 0.03	dB
Stopband		0.5465fs			
Stopband Attenuation	f > 0.5465fs	-50			dB

Table 43 Digital Filter Characteristics

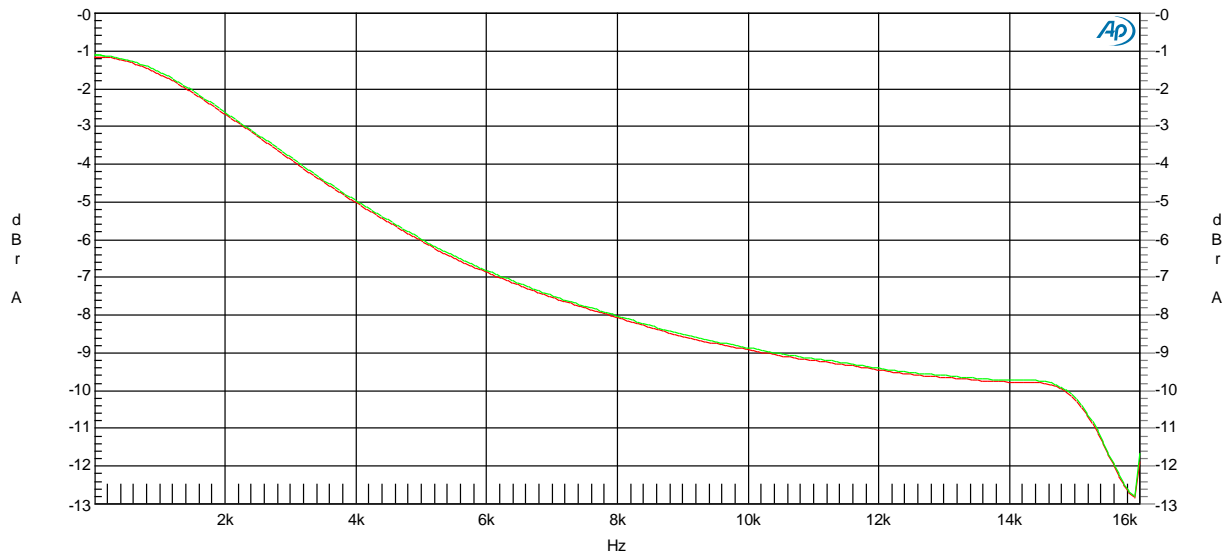
DAC FILTERS		ADC FILTERS	
Mode	Group Delay	Mode	Group Delay
0 (250 USB)	11/FS	0 (250 USB)	13/FS
1 (256/272)	16/FS	1 (256/272)	23/FS
2 (250 USB, 96k mode)	4/FS	2 (250 USB, 96k mode)	4/FS
3 (256/272, 88.2/96k mode)	3/FS	3 (256/272, 88.2/96k mode)	5/FS

Table 44 ADC/DAC Digital Filters Group Delay

DAC 滤波器响应

去加重滤波器响应

Audio Precision

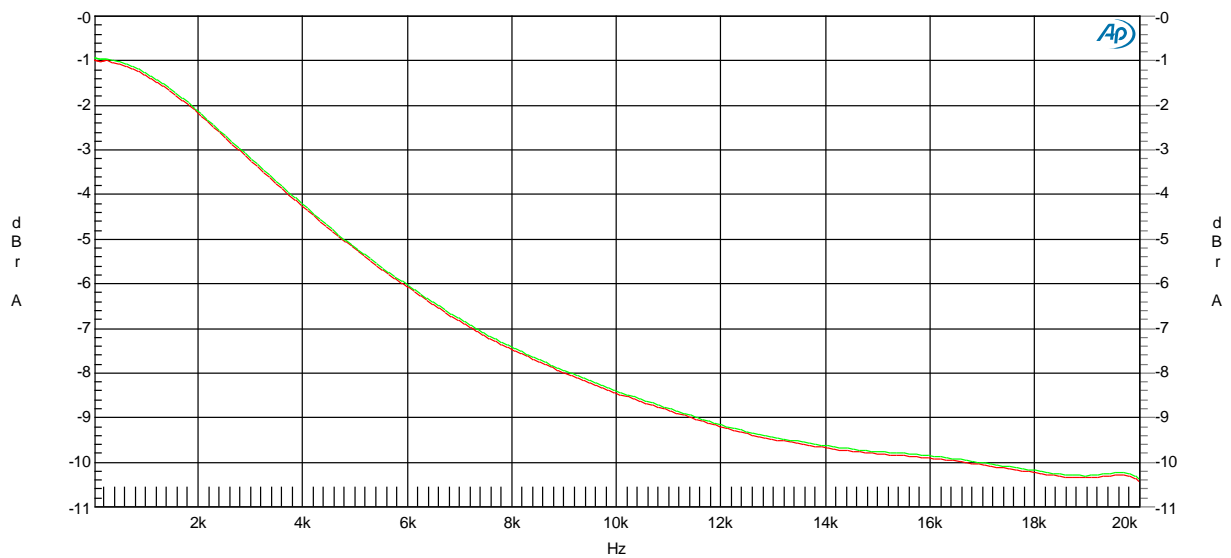


Sweep	Trace	Color	Line Style	Thick	Data	Axis	Comment
1	1	Red	Solid	1	DSP Anlr.Ampl A	Left	
1	2	Green	Solid	1	DSP Anlr.Ampl B	Right	

dem32k.at27

Figure 21 De-emphasis Frequency Response (32kHz)

Audio Precision



Sweep	Trace	Color	Line Style	Thick	Data	Axis	Comment
1	1	Red	Solid	1	DSP Anlr.Ampl A	Left	
1	2	Green	Solid	1	DSP Anlr.Ampl B	Right	

dem44.1k.at27

Figure 22 De-emphasis Frequency Response (44.1kHz)

Audio Precision

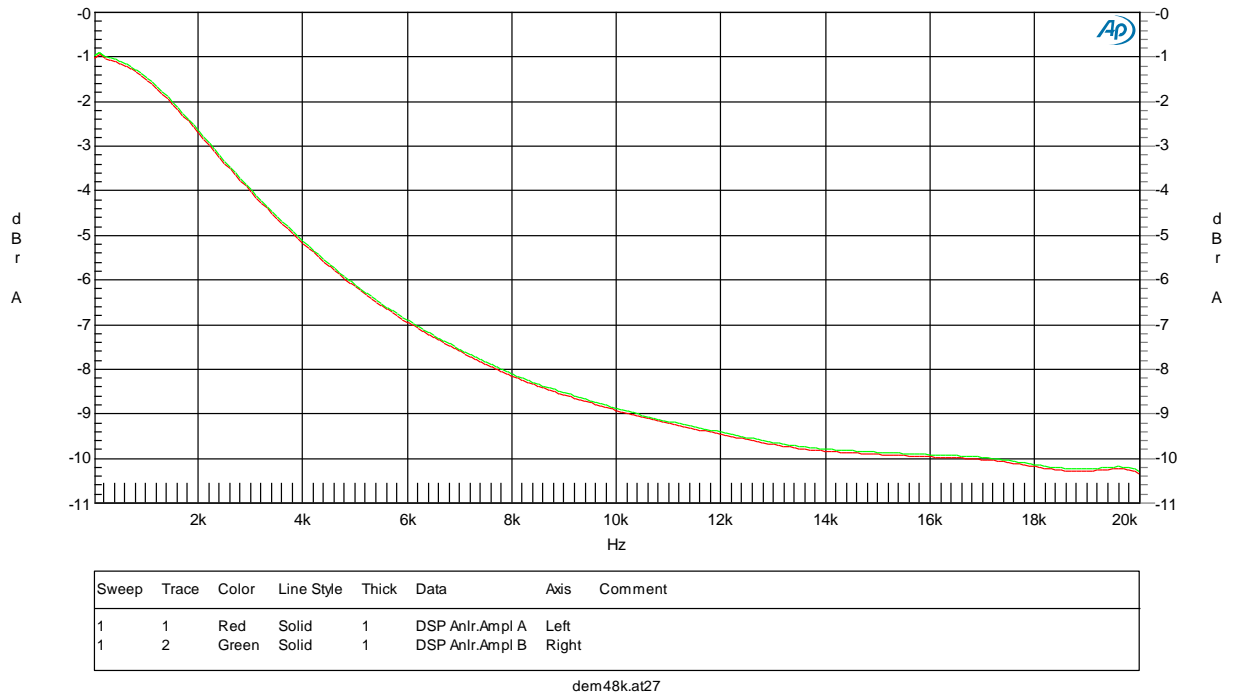


Figure 23 De-emphasis Frequency Response (48kHz)

三维立体增强

DAC 3D功能

Audio Precision

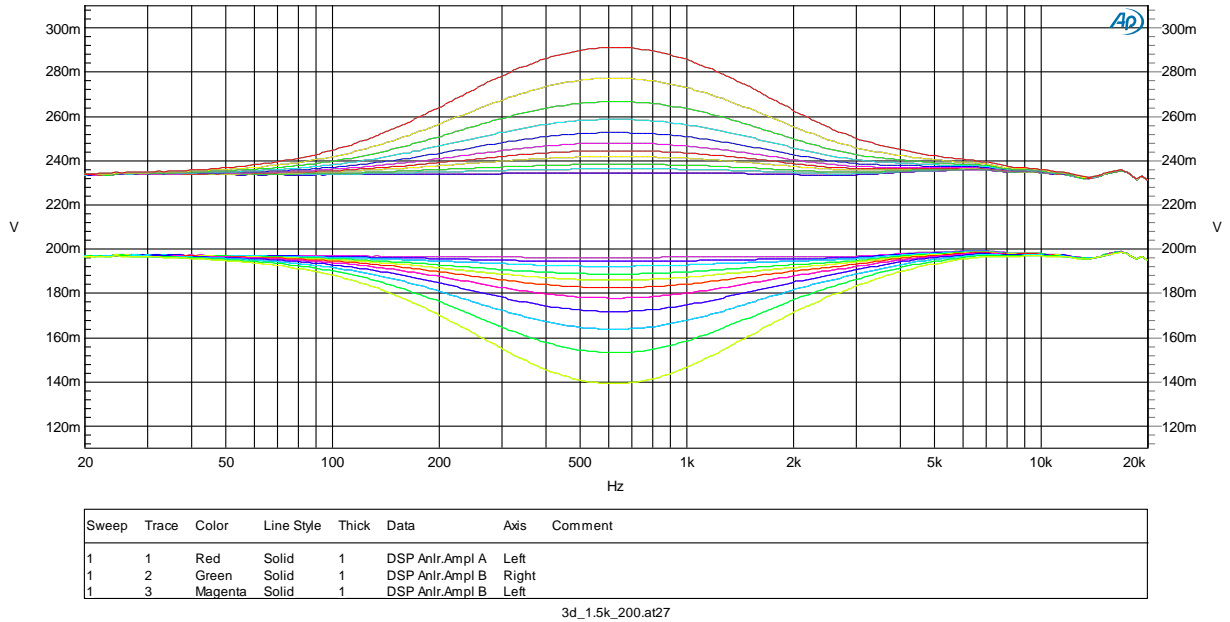


Figure 24 DAC 3D 1.5KHz_200Hz

Audio Precision

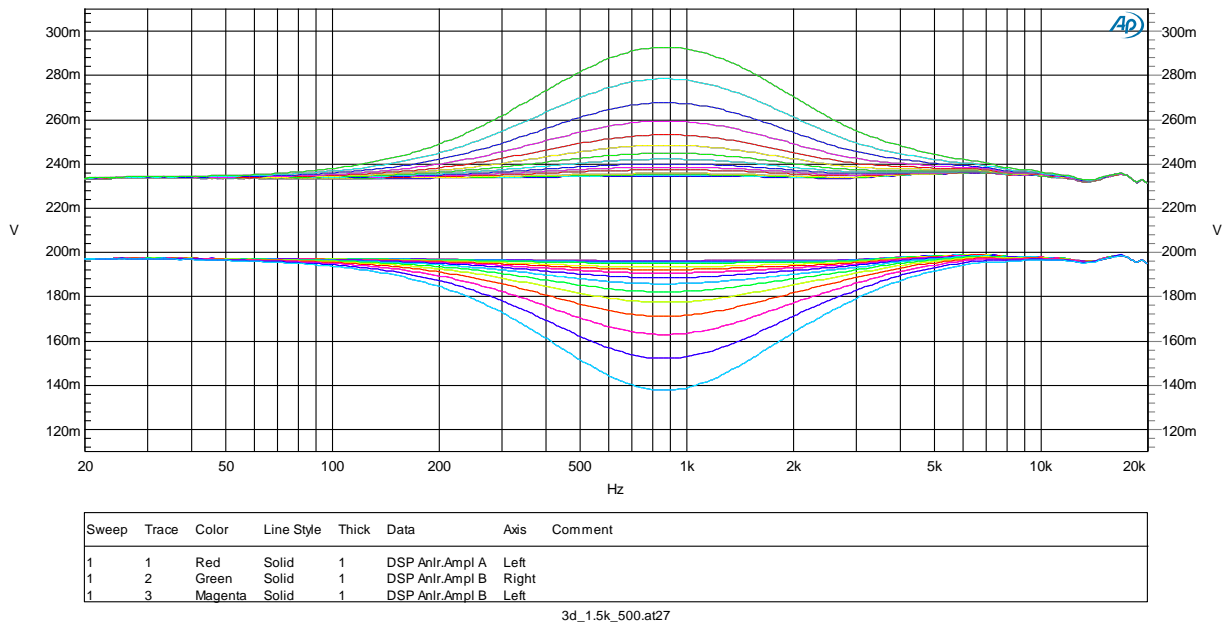
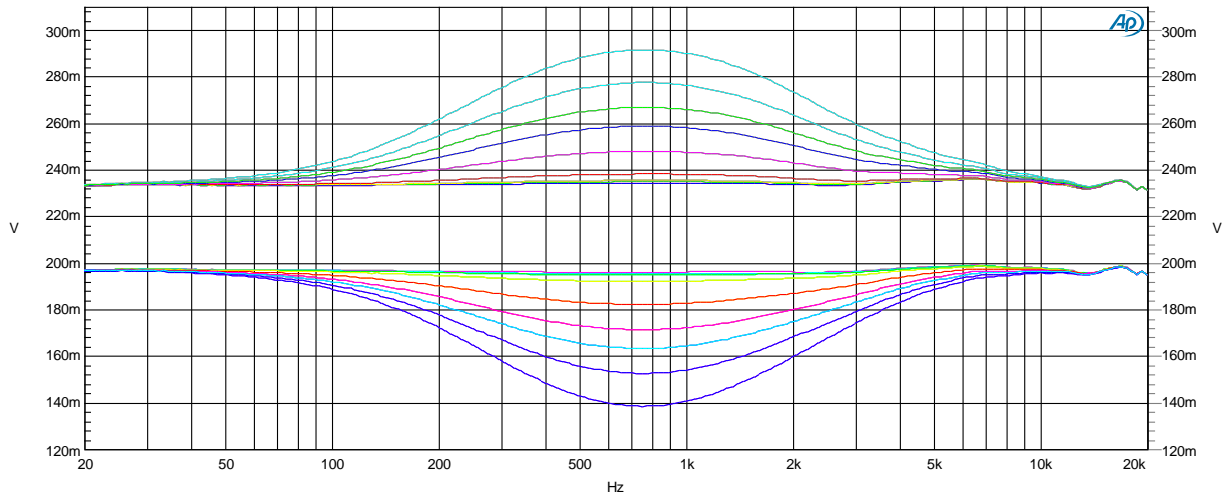


Figure 25 DAC 3D 1.5KHz_500Hz

Audio Precision

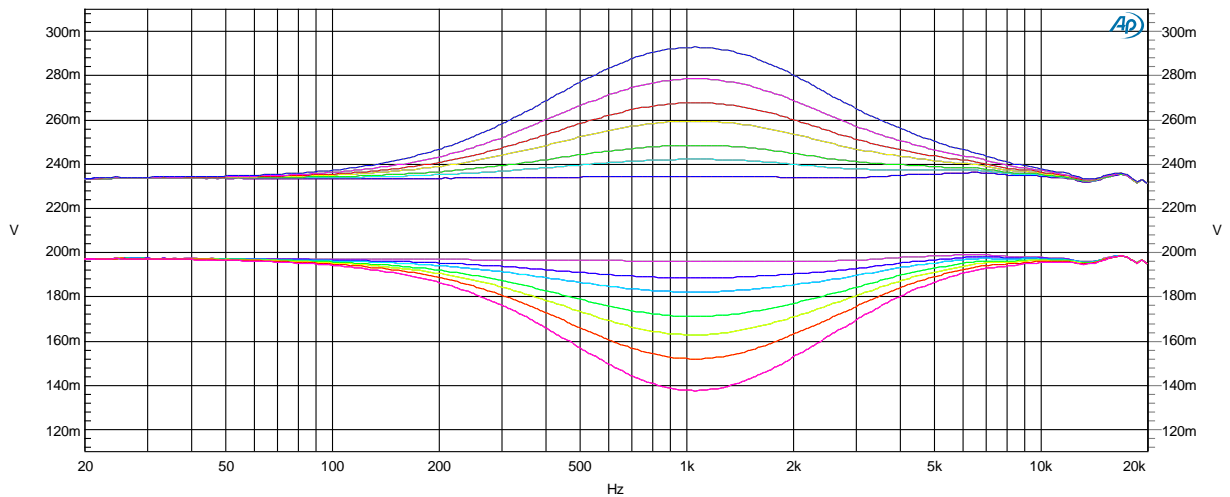


Sweep	Trace	Color	Line Style	Thick	Data	Axis	Comment
1	1	Red	Solid	1	DSP Anlr.Ampl A	Left	
1	2	Green	Solid	1	DSP Anlr.Ampl B	Right	
1	3	Magenta	Solid	1	DSP Anlr.Ampl B	Left	

3d_2.2k_200.at27

Figure 26 DAC 3D 2.2KHz_200Hz

Audio Precision



Sweep	Trace	Color	Line Style	Thick	Data	Axis	Comment
1	1	Red	Solid	1	DSP Anlr.Ampl A	Left	
1	2	Green	Solid	1	DSP Anlr.Ampl B	Right	
1	3	Magenta	Solid	1	DSP Anlr.Ampl B	Left	

3d_2.2k_500.at27

Figure 27 DAC 3D 2.2KHz_500Hz

低音增强功能

Audio Precision

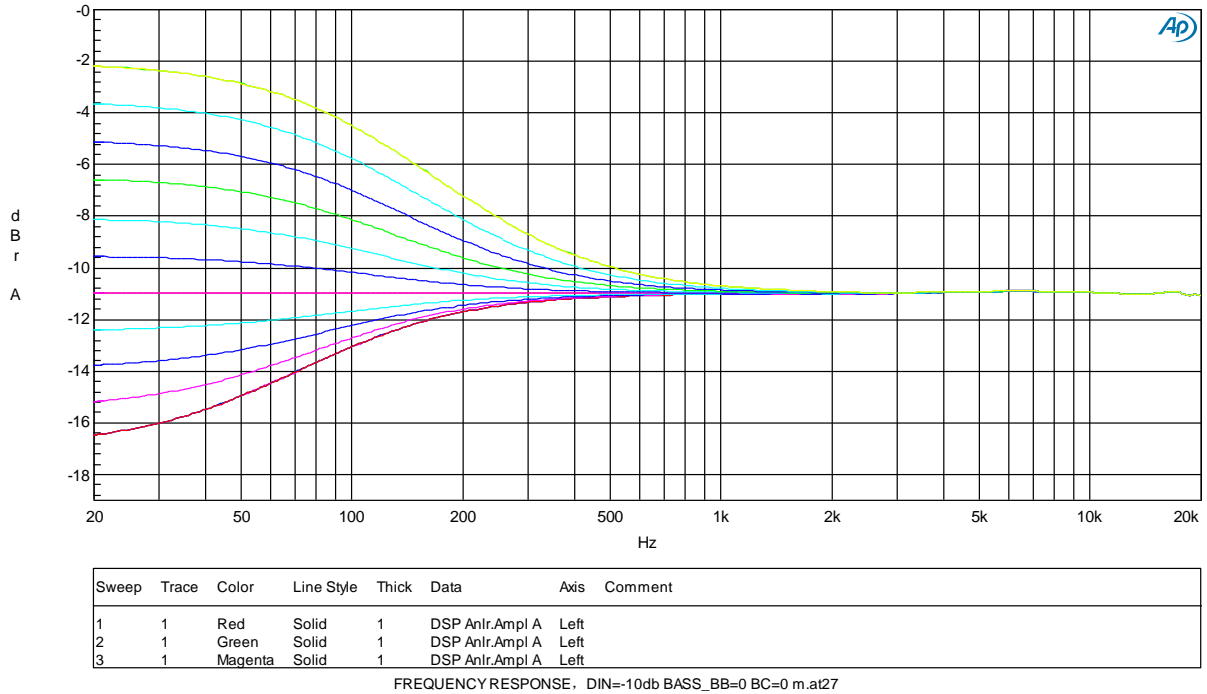


Figure 28 FREQUENCY RESPONSE, DIN=-10db BASS_BB=0 BC=0

Audio Precision

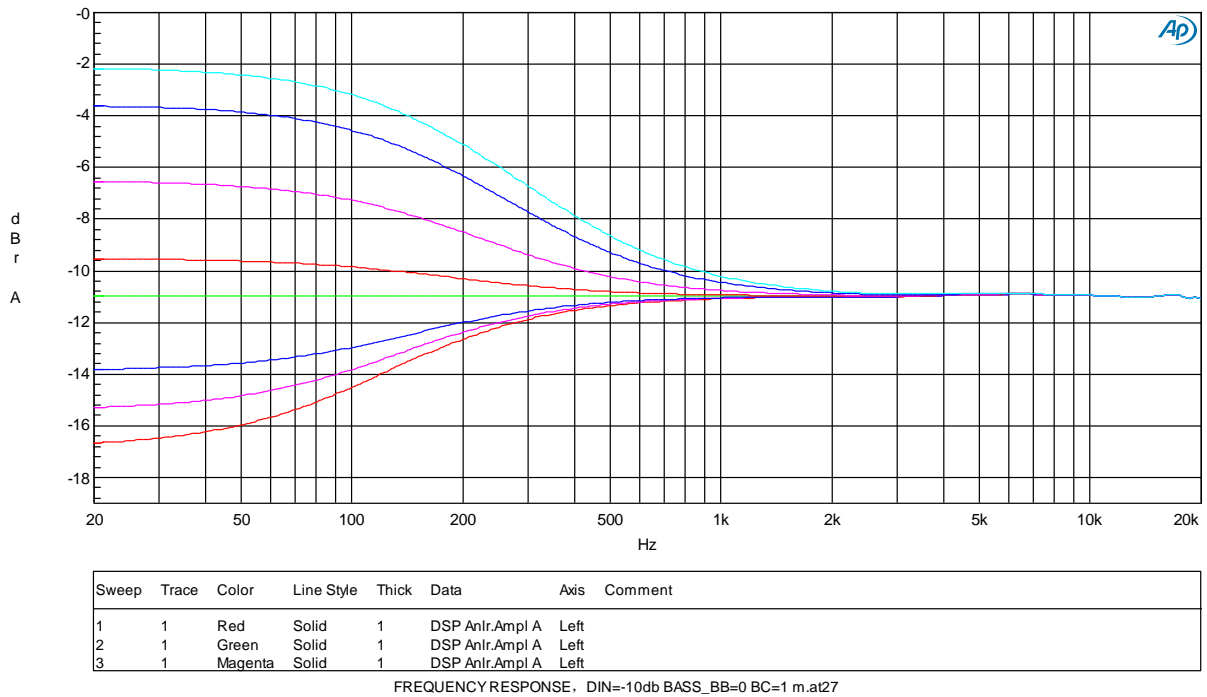


Figure 29 FREQUENCY RESPONSE, DIN=-10db BASS_BB=0 BC=1

Audio Precision

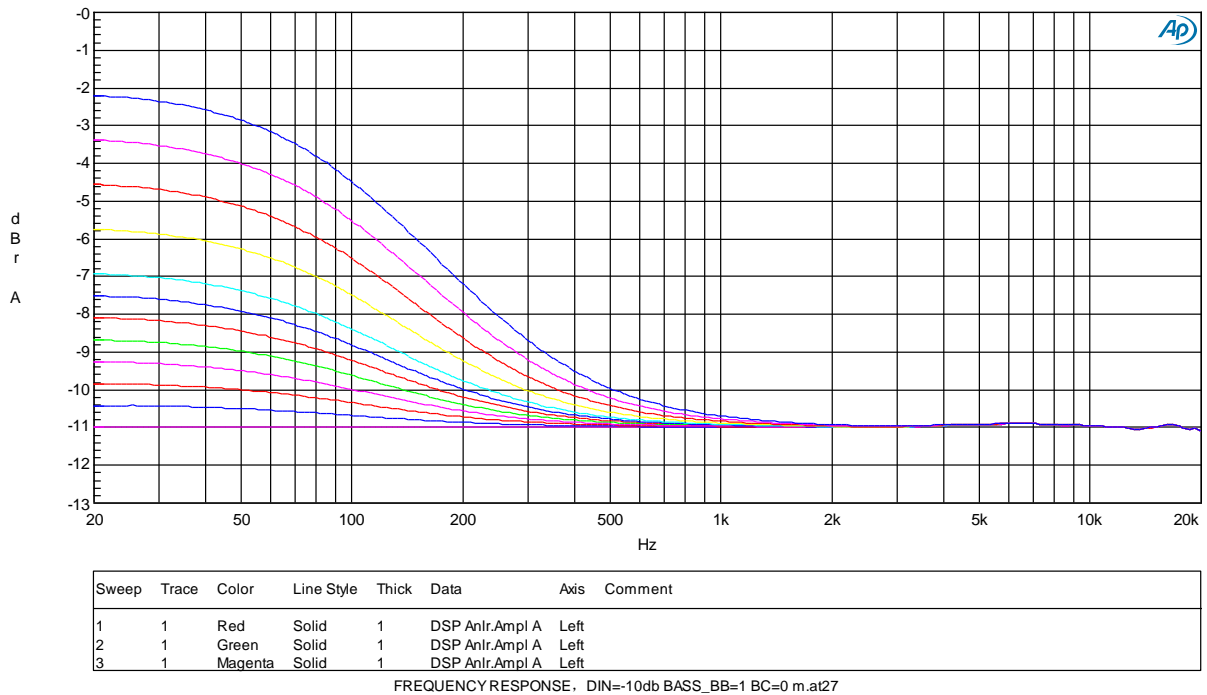


Figure 30 FREQUENCY RESPONSE, DIN=-10db BASS_BB=1 BC=0

Audio Precision

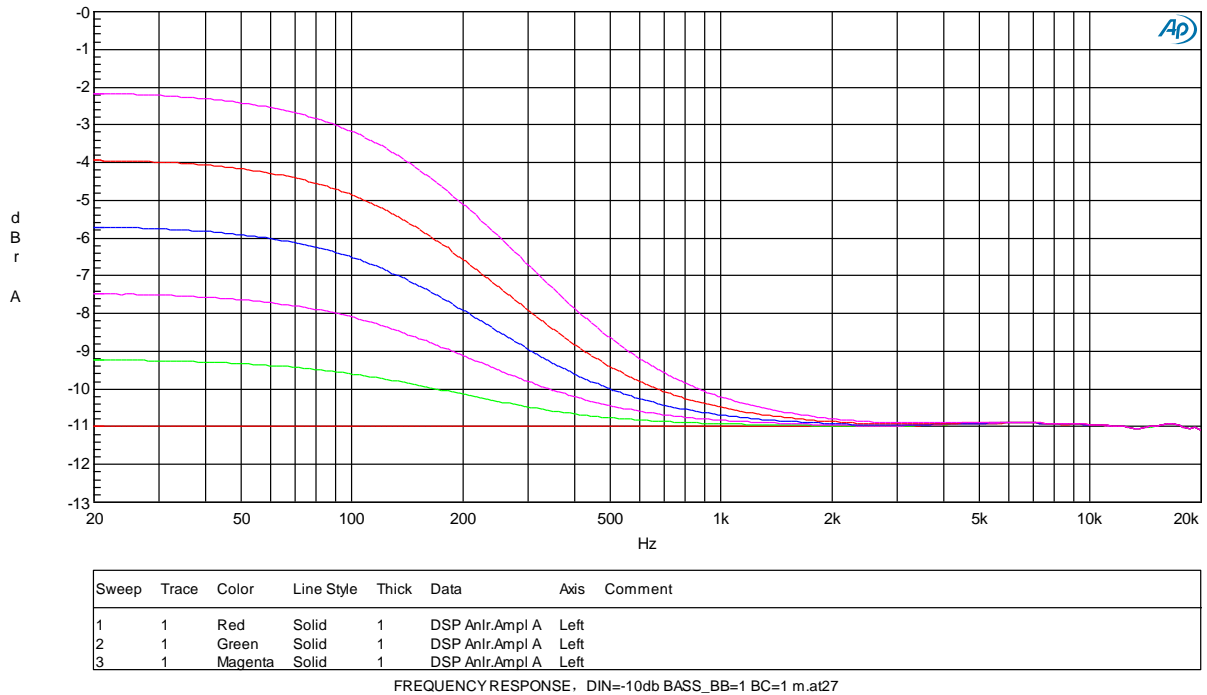


Figure 31 FREQUENCY RESPONSE, DIN=-10db BASS_BB=1 BC=1

Audio Precision

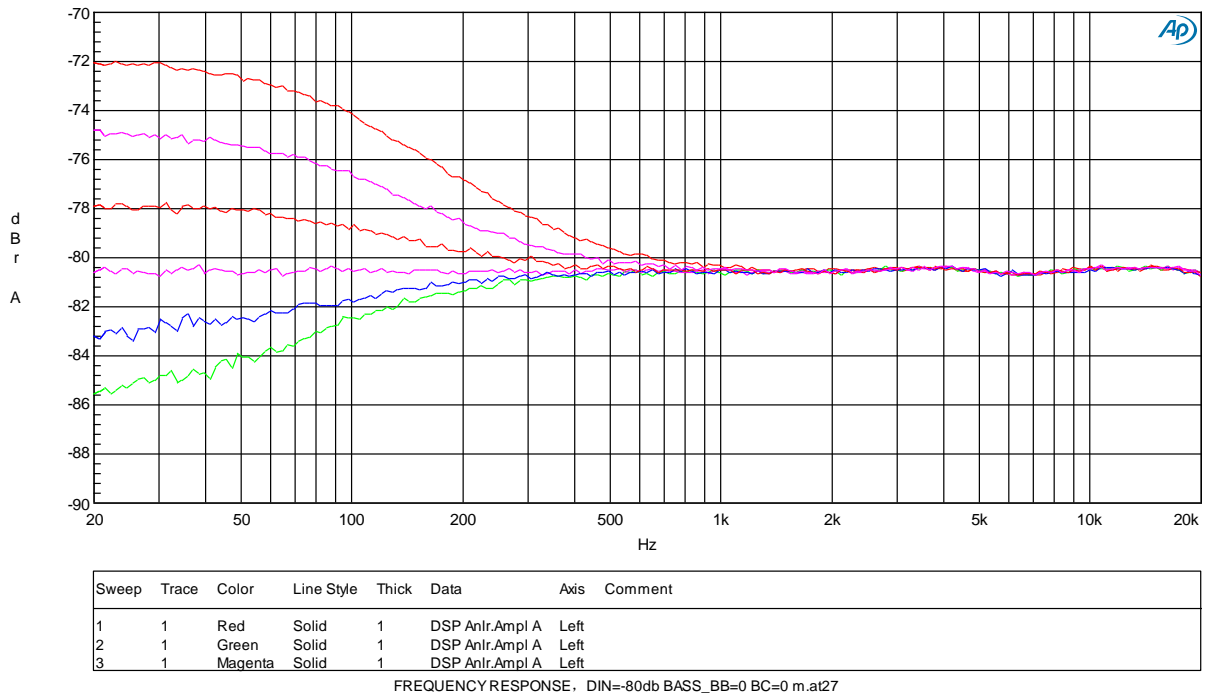


Figure 32 FREQUENCY RESPONSE, DIN=-80db BASS_BB=0 BC=0

Audio Precision

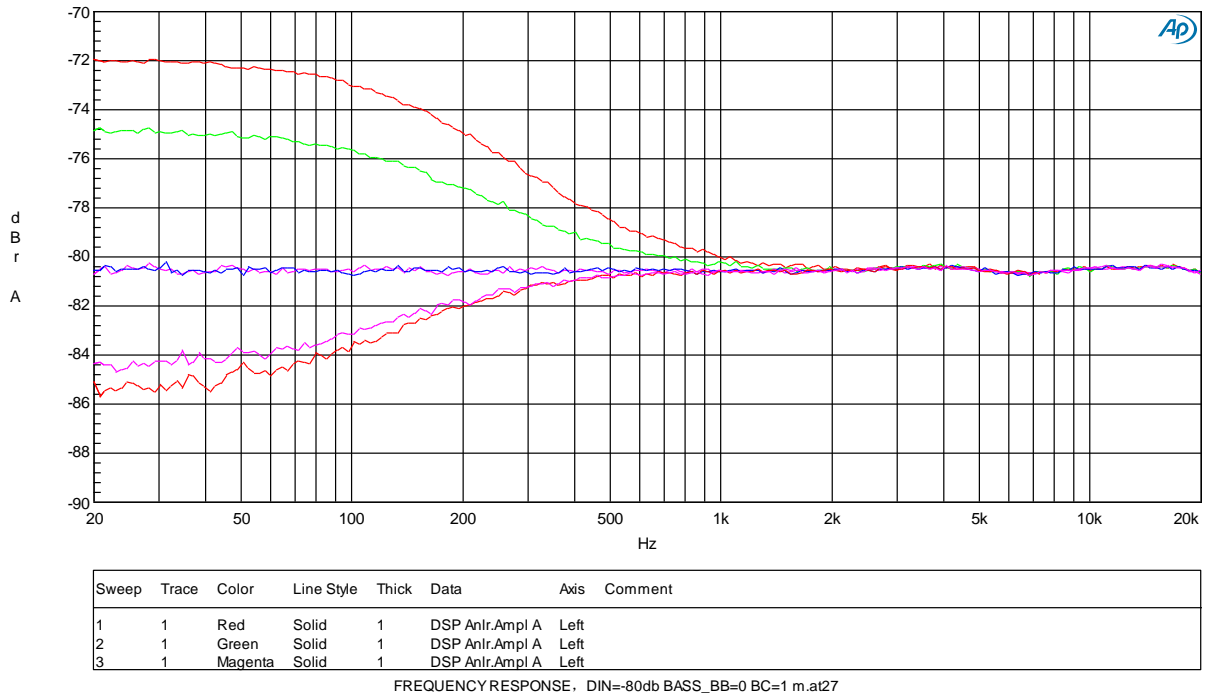


Figure 33 FREQUENCY RESPONSE, DIN=-80db BASS_BB=0 BC=1

Audio Precision

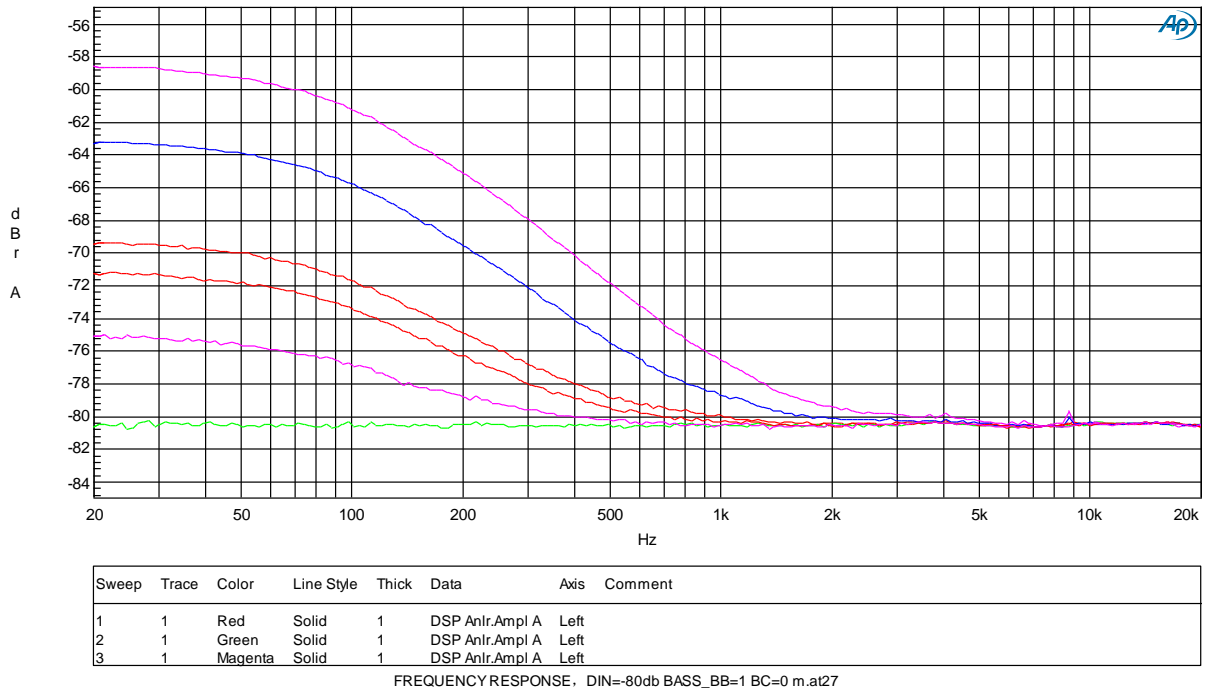


Figure 34 FREQUENCY RESPONSE, DIN=-10db BASS_BB=1 BC=0

Audio Precision

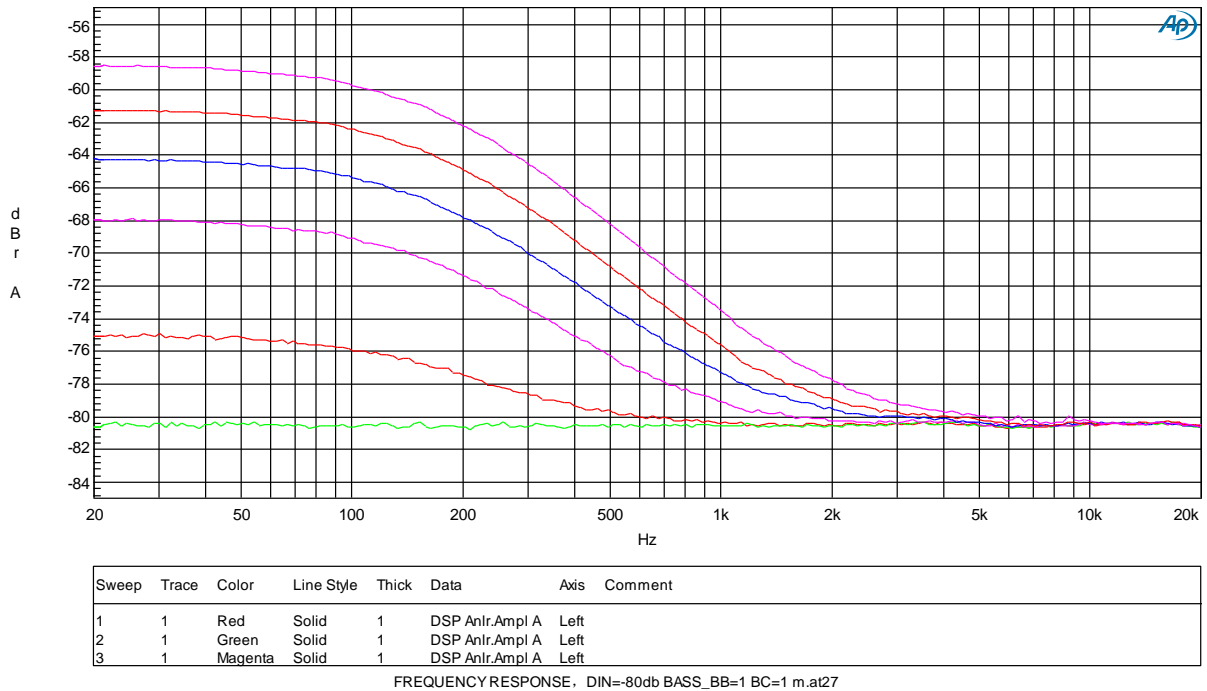


Figure 35 FREQUENCY RESPONSE, DIN=-10db BASS_BB=1 BC=1

三倍的过滤特性

Audio Precision

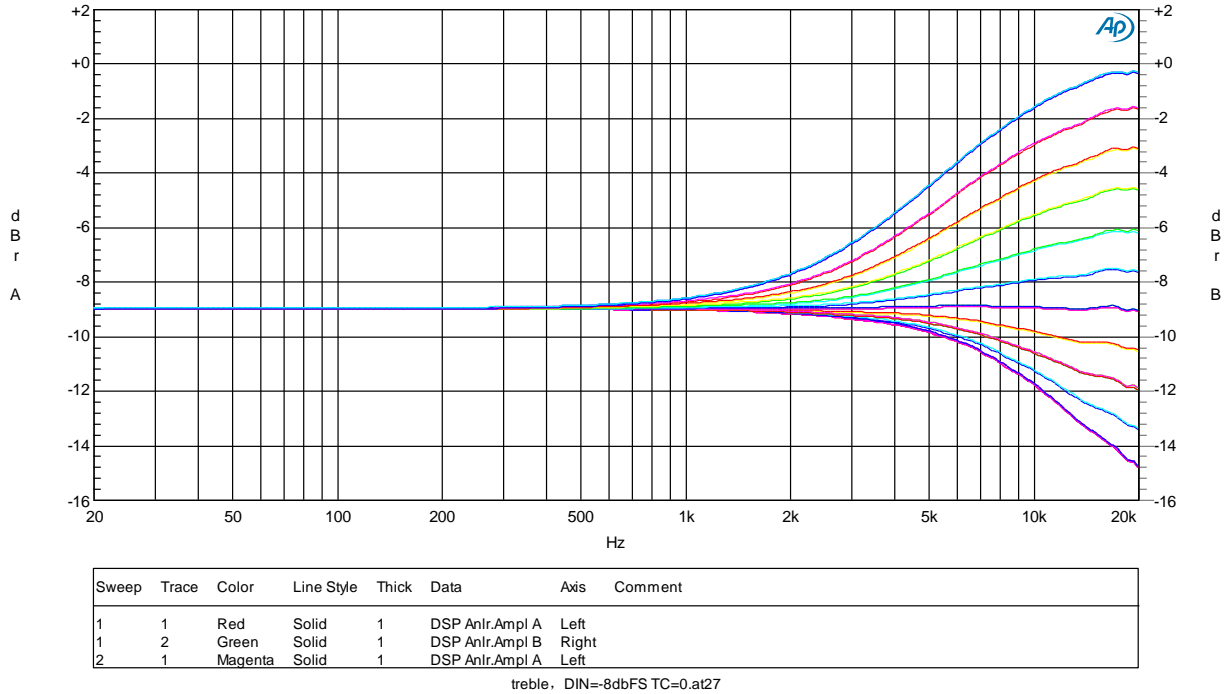


Figure 36 treble, DIN=-8dbFS TC=0

Audio Precision

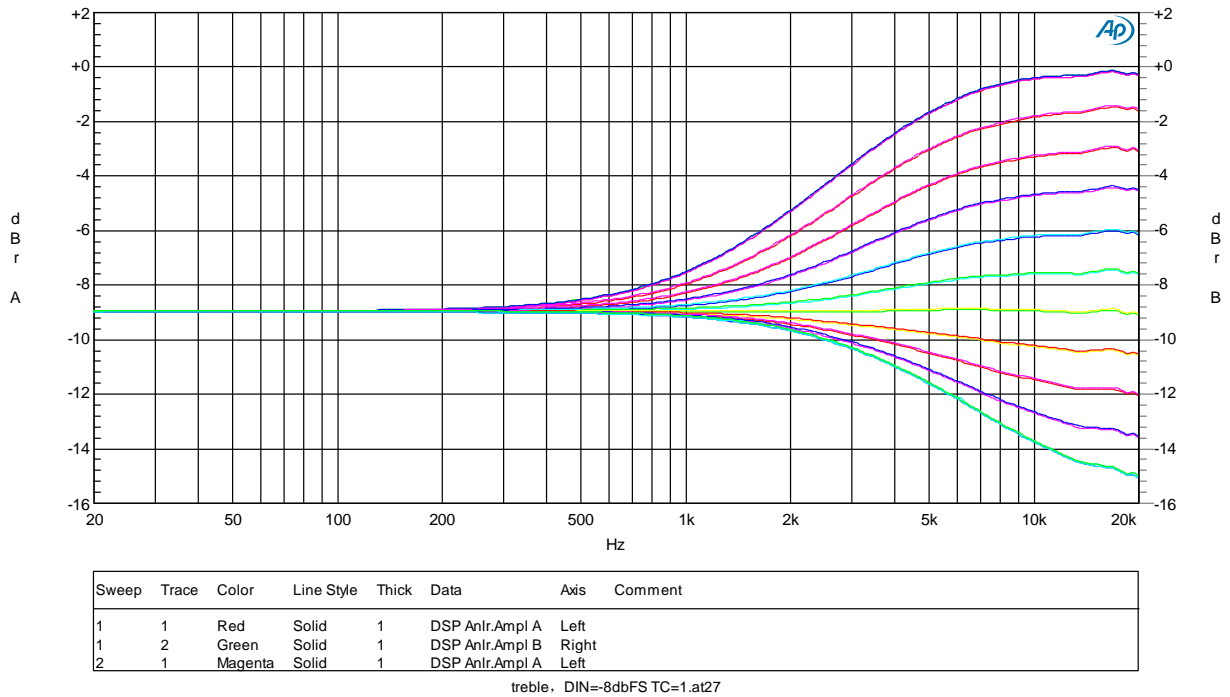
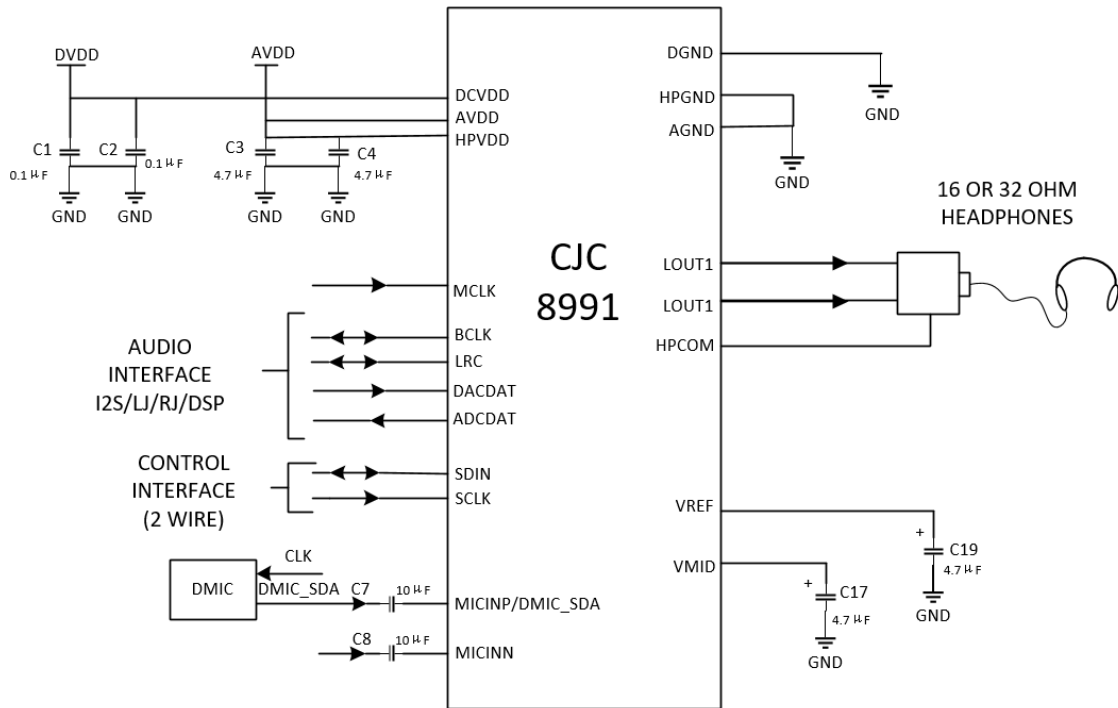


Figure 37 treble, DIN=-8dbFS TC=1

应用信息

推荐应用电路



Layout Notes:

1. C1 to C4 , C17, C19, C20 and C21 should be as close to the relative CJC8988 connecting pin as possible
2. For capacitors C7 to C10, C14, C15, C22 and C23 it is recommended that low ESR components are used
3. HPCOM and LCOM should be connected to GND at the connector

Figure 38 Recommended External Components Diagram

线路输入配置

当 MICINP/MICINN 用作线路输入时，通常应禁用麦克风增强和 ALC 功能。为了避免削波，用户必须确保输入信号不超过 AVDD。在某些应用中，这可能需要一个分压器电路。还建议使用简单的一阶 RC 滤波器消除任何电缆上拾取的射频干扰，因为输入信号中的高频分量可能会导致音频频带中的混叠失真。无直流偏置的交流信号应通过直流阻断电容器（如 10 μ F）馈送至 CJC8991。

耳机输出配置

模拟输出 LOUT/ROUT，可以驱动 16Ω 或 32Ω 耳机负载，如图 43 所示

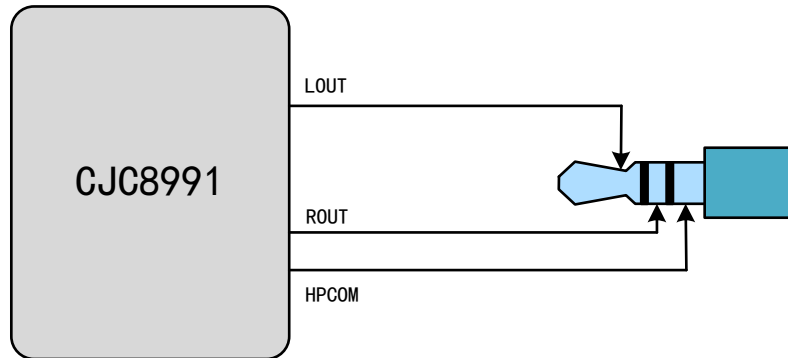


Figure 39 Headphone output without dc blocking CAP (HPCOMEN=HIGH, default)

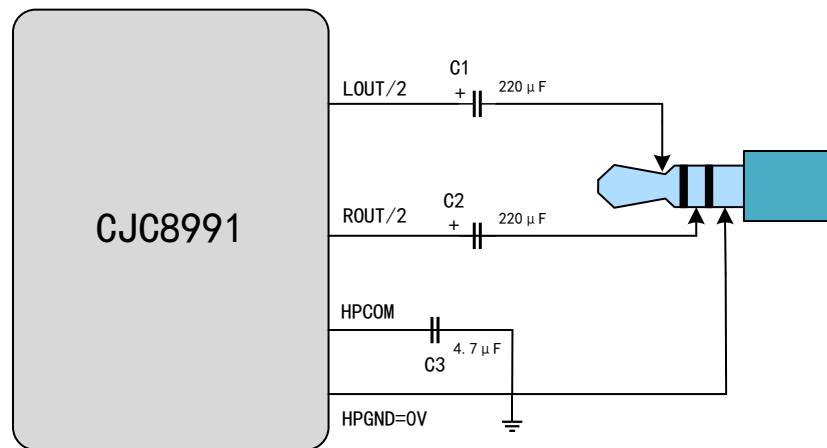


Figure 40 Headphone Output Configurations with CAP.(HPCOMEN = 0)

HPCOMEN 值决定我们是否需要电容器 C1 和 C2 来阻断直流电流。如果 HPCOMEN 高（默认值），我们可以直接驱动无 DC cap 的耳机。HPCOM 由芯片中的运算放大器驱动，与 LOUT 和 ROUT 具有相同的公共电压值，因此不需要电容器。

如果 HPCOMEN 低，我们需要阻断电容器 C1 和 C2。C1 和 C2 以及负载电阻共同确定下限截止频率 f_c 。增加电容会降低 f_c ，改善低音响应。较小的电容值将减小低音响应。假设 16 欧姆负载和 C1, C2=220 μF:

$$f_c = 1 / 2\pi RLC1 = 1 / (2\pi \times 16\Omega \times 220\mu F) = 45 \text{ Hz}$$

线路输出配置

模拟输出，LOUT/ROUT，可以用作线路输出。推荐的外部组件如下所示。

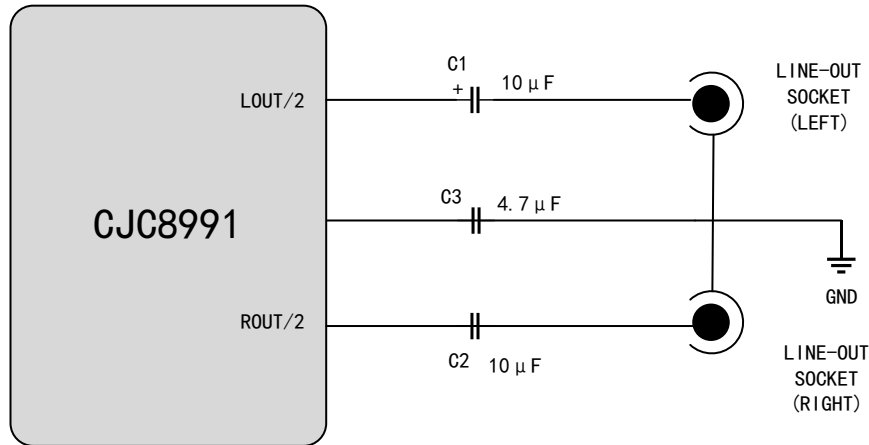


Figure 41 Recommended Circuit for Line Output

直流阻断电容器和负载电阻共同确定下限截止频率 f_c 。假设负载为 $10\text{ k}\Omega$ ， $C1, C2=1\text{ }\mu\text{F}$ ：

$$f_c = 1 / 2\pi (R_L + R_1) C_1 = 1 / (2\pi \times 10.1\text{ k}\Omega \times 1\text{ }\mu\text{F}) = 16\text{ Hz}$$

增加电容会降低 f_c ，改善低音响应。 $C1$ 和 $C2$ 的值越小，低音响应越小。 $R1$ 和 $R2$ 的功能是在使用不当时保护线路输出免受损坏。

减少模拟输出的噪声

为了尽量减少系统上电或下电时弹出或单击的噪音，建议执行以下步骤。

POWER UP

- 打开电源。默认情况下，CJC8991 处于待机模式，DAC 被数字静音，音频接口、线路输出和耳机输出全部关闭（DACMU=1 电源管理寄存器 1 和 2 均为零）。
- 启用 Vmid 和 VREF。
- 根据需要启用 DAC。
- 根据需要启用线路和/或耳机输出缓冲区。
- 将 DACMU 设置为 0 以软取消音频 DAC 的静音。

POWER DOWN

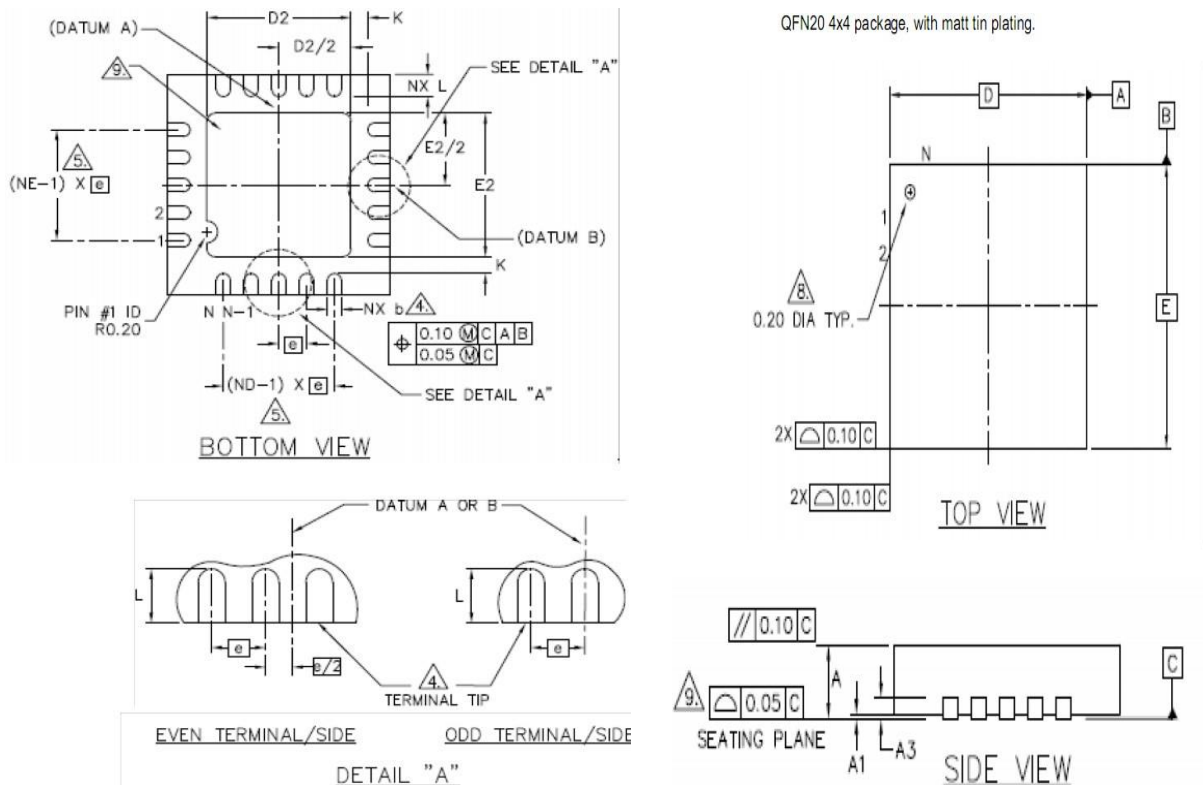
- 设置“DACMU = 1”对音频 DAC 进行软静音。
- 禁用所有输出缓冲区。
- 关闭电源开关。

电源管理实例

OPERATION MODE	POWER MANAGEMENT (1)					POWER MANAGEMENT (2)			
	VREF	MICINP/ MICINN	PGA	ADC	MBI	DACs		Output Buffers	
						DAL	DAR	LOUT	ROUT
Stereo Headphone Playback	1	0	0	0	0	1	1	1	1
Stereo Line-in Record	1	1	1	1	0	0	0	0	0
Microphone Record	1	1	1	1	1	0	0	0	0
Differential Microphone Record	1	1	1	1	1	0	0	0	0
Microphone to Headphone Out	1	1	0	0	0	0	0	1	1

Table 42 Register Settings for Power Management

封装尺寸



Package Type		A	A1	A3	K	D/E	e	D2/E2	L	L1	b
Saw QFN20 (4x4 mm)	Min.	0.80	0.00					2.50	0.35		0.18
	Typ.	0.85	0.02	0.20	0.20	4.0	0.5 BSC	2.60	0.40	0.15	0.25
	Max	0.95	0.05	REF.	min.	BSC ^a		2.70	0.45	max	0.30

a. BSC: Basic Spacing between Centers, ref. JEDEC standard 95, page 4.17-11/A

Notes:

1. 尺寸 **b** 适用于金属化端子，测量距离端子尖端 0.15 - 0.30 毫米。
2. 所有尺寸都以毫米为单位。
3. 共面性适用于暴露的散热器段塞以及端子。
5. 有关 PCB 足迹和 QFN 封装焊接的进一步信息，请参阅 WAN_0118 应用说明。
6. 本图纸如有更改，恕不另行通知。